

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 11-146155

(11) Publication number: 11146155 A

(43) Date of publication of application: 28.05.99

(51) Int. Cl.

H04N 1/19

H04N 1/21

H04N 1/40

(21) Application number: 09311876

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 13.11.97

(72) Inventor: IWAI KENICHI

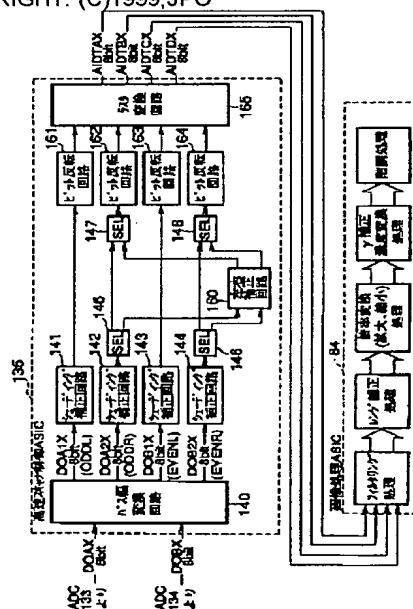
(54) PHOTOELECTRIC CONVERTER,
PHOTOELECTRIC CONVERSION METHOD,
IMAGE INFORMATION PROCESSING UNIT,
IMAGE INFORMATION PROCESSING METHOD
AND IMAGE FORMING DEVICE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To correct deviation in image data with respect to image density and to align signal arrangement of the image data in the case of using a 4- channel output CCD.

SOLUTION: In a high speed scanner control ASIC 135, an output signal from a 4-channel output CCD is processed by a preprocessing system, image data received from A/D converters 133, 134 in the pre-processing system are corrected by shading correction circuits 141-144 via a bus width conversion circuit 140, signal deviation of image data with respect to image density is corrected by a left-right correction circuit 160, bits are inverted by bit inversion circuits 161-164 and a raster conversion circuit 165 aligns data signal arrangement.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-146155

(43) 公開日 平成11年(1999) 5月28日

(51) Int. Cl. ⁶

識別記号

F I

H04N 1/19
1/21
1/40

H04N 1/04 103 Z
1/21
1/40 101 Z

審査請求 未請求 請求項の数27 O L (全37頁)

(21) 出願番号 特願平9-311876

(22) 出願日 平成9年(1997)11月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩井 謙一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

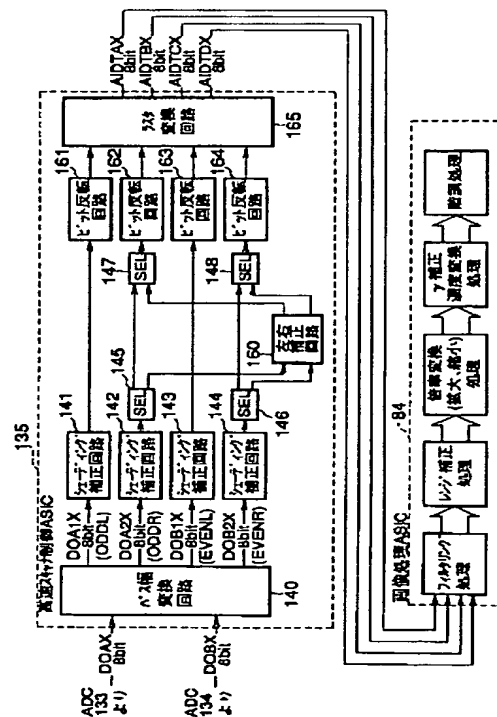
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 光電変換装置、光電変換方法、画像情報処理装置、画像情報処理方法、および画像形成装置

(57) 【要約】

【課題】 4チャンネル出力CCDを用いた際の画像濃度に対する画像データの偏差補正と画像データの信号配列を整列化する。

【解決手段】 高速スキャナ制御ASIC135において、4チャンネル出力CCDからの出力信号が前処理システムで処理されて前処理システムのA/Dコンバータ133、134から入力される画像データをバス幅変換回路140を介してシェーディング補正回路141~144で補正処理した後、左右補正回路160で画像濃度に対する画像データの信号の偏差を補正し、ビット反転回路161~164でビット反転した後、ラスタ変換回路165で画像データの信号配列を整列化する。



【特許請求の範囲】

【請求項 1】 光画像情報を受光して光電変換した電位信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、
10 を具備したことを特徴とする光電変換装置。

【請求項 2】 前記出力手段は、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おき、前記第 2 の方向の端部から奇数おき、前記第 1 の方向から偶数おき、前記第 2 の方向から偶数おきの順番に出力することを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持する第 1 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持する第 2 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持する第 3 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持する第 4 の保持手段と、
20 を具備したことを特徴とする光電変換装置。

【請求項 4】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持する第 1 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持する第 2 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持する第 3 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持する第 4 の保持手段と、
30 前記第 1 の保持手段、第 2 の保持手段、第 3 の保持手

段、第 4 の保持手段にそれぞれ保持されている信号を所定の順序に並べ替えて出力する制御手段と、を具備したことを特徴とする光電変換装置。

【請求項 5】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積するステップと、蓄積された電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力するステップと、
40 からなることを特徴とする光電変換方法。

【請求項 6】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積するステップと、蓄積された電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに第 1 の信号として出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに第 2 の信号として出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに第 3 の信号として出力するステップと、蓄積された電気信号を前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに第 4 の信号として出力するステップと、
50 前記第 1 乃至第 4 の信号を所定の順序に並べ替えて出力するステップと、からなることを特徴とする光電変換方法。

【請求項 7】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、
50 前記出力手段から出力される出力信号のうち、前記ライ

ンの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

を具備したことを特徴とする画像情報処理装置。

【請求項 8】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力された信号に対してシェーディング補正を行うシェーディング補正手段と、

このシェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記シェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

を具備したことを特徴とする画像情報処理装置。

【請求項 9】 光画像情報を受光して光電変換した信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力された信号に対してシェーディング補正を行うシェーディング補正手段と、

このシェーディング補正手段によりシェーディング補正が施された信号に対して、前記蓄積手段の 1 ライン中における信号のばらつきを補正する処理を指示する指示手段と、

この指示手段により信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記指示手段により信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

を具備することを特徴とする画像情報処理装置。

【請求項 10】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅する第 1 の増幅器と、

前記出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅する第 2 の増幅器と、

を具備することを特徴とする画像情報処理装置。

【請求項 11】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅する第 1 の増幅器と、

前記出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅する第 2 の増幅器と、前記第 1 の増幅器により増幅された前記第 1 の信号と前記第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記第 2 の増幅器により増幅された前記第 3 の信号と前記第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

を具備したことを特徴とする画像情報処理装置。

【請求項 1 2】 前記第 1 の補正手段は第 1 の信号および第 2 の信号のうちいずれか一方の信号を固定して、他方の信号を前記固定した信号に合わせるように補正し、前記第 2 の補正手段は前記第 3 の信号および第 4 の信号のうちいずれか一方の信号を固定して、他方の信号を前記固定した信号に合わせるように補正する請求項 7、8、9、11 に記載の画像情報処理装置。

【請求項 1 3】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持するようにしたことを特徴とする光電変換方法。

【請求項 1 4】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持し、前記蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持し、前記それぞれ保持されている信号を所定の順序に並べ替えて出力するようにしたことを特徴とする光電変換方法。

【請求項 1 5】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力し、この出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正し、前記出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正するようにしたことを特徴とする画像情報処理方法。

【請求項 1 6】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力し、この出力された信号に対してシェーディング補正を行い、このシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正し、前記シェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正するようにしたことを特徴とする画像情報処理方法。

【請求項 1 7】 光画像情報を受光して光電変換した信号を 1 ラインの素子に蓄積し、この蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方

向の端部から奇数おきに出力し、この出力された信号に対してシェーディング補正を行い、前記シェーディング補正が施された信号に対して、前記ライン中における信号のばらつきを補正する処理を指示し、信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正が施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正し、前記信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正が施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正するようにしたことを特徴とする画像情報処理方法。

【請求項 1 8】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力し、この出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅し、前記出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅するようにしたことを特徴とする画像情報処理方法。

【請求項 1 9】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積し、この蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力し、この出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅し、前記出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅し、前記増幅された前記第 1 の信号

と前記第 2 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 1 の信号または前記第 2 の信号のどちらか一方を補正し、前記増幅された前記第 3 の信号と前記第 4 の信号のうち前記 1 ラインの素子の中央位置に相当する双方の信号が一致するように、前記第 3 の信号または前記第 4 の信号のどちらか一方を補正するようにしたことを特徴とする画像情報処理方法。

【請求項 2 0】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持する第 1 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持する第 2 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持する第 3 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持する第 4 の保持手段と、上記第 1 の保持手段、第 2 の保持手段、第 3 の保持手段、第 4 の保持手段に保持された信号に基づいて画像を形成する画像形成手段と、を具備したことを特徴とする画像形成装置。

【請求項 2 1】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに蓄積された電気信号を保持する第 1 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうちラインの第 1 の方向の端部から奇数おきに蓄積された電気信号を保持する第 2 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から偶数おきに蓄積された電気信号を保持する第 3 の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記 1 ラインの素子のうち前記第 1 の方向と反対のラインの第 2 の方向の端部から奇数おきに蓄積された電気信号を保持する第 4 の保持手段と、前記第 1 の保持手段、第 2 の保持手段、第 3 の保持手段、第 4 の保持手段にそれぞれ保持されている信号を所定の順序に並べ替えて出力する制御手段と、この制御手段から出力される信号に基づいて画像を形成する画像形成手段と、を具備したことを特徴とする画像形成装置。

【請求項 2 2】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、
この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

前記第 1 の補正手段で補正された前記第 1 の信号または第 2 の信号と補正されない前記第 1 の信号または第 2 の信号、および前記第 2 の補正手段で補正された前記第 3 の信号または前記第 4 の信号と補正されない前記第 3 の信号または前記第 4 の信号とに基づいて画像を形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2 3】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、
この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力された信号に対してシェーディング補正を行うシェーディング補正手段と、

このシェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記シェーディング補正手段によりシェーディング補正

を施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

前記第 1 の補正手段で補正された前記第 1 の信号または第 2 の信号と補正されない前記第 1 の信号または第 2 の信号、および前記第 2 の補正手段で補正された前記第 3 の信号または前記第 4 の信号と補正されない前記第 3 の信号または前記第 4 の信号とに基づいて画像を形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2 4】 光画像情報を受光して光電変換した信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、

この出力手段から出力された信号に対してシェーディング補正を行うシェーディング補正手段と、

前記シェーディング補正手段によりシェーディング補正が施された信号に対して、前記蓄積手段の 1 ライン中における信号のばらつきを補正する処理を指示する指示手段と、

この指示手段により信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、

前記指示手段により信号のばらつきを補正する処理が指示されているとき、前記シェーディング補正手段によりシェーディング補正を施された信号に対して、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

前記第 1 の補正手段で補正された前記第 1 の信号または第 2 の信号と補正されない前記第 1 の信号または第 2 の信号、および前記第 2 の補正手段で補正された前記第 3

の信号または前記第 4 の信号と補正されない前記第 3 の信号または前記第 4 の信号とに基づいて画像を形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2 5】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅する第 1 の増幅器と、前記出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅する第 2 の増幅器と、前記第 1 の増幅器で増幅された第 1 の信号と第 2 の信号、および前記第 2 の増幅器で増幅された第 3 の信号と第 4 の信号とに基づいて画像を形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2 6】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記 1 ラインの素子のうちラインの第 1 の方向の端部から偶数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向の端部から奇数おきに出力し、前記 1 ラインの素子のうち前記第 1 の方向と反対の第 2 の方向から偶数おきに出力し、前記 1 ラインの素子のうち前記第 2 の方向の端部から奇数おきに出力する出力手段と、この出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から奇数おきに出力された第 1 の信号と、前記ラインの第 2 の方向の端部から奇数おきに出力された第 2 の信号を増幅する第 1 の増幅器と、前記出力手段から出力される出力信号のうち、前記ラインの第 1 の方向の端部から偶数おきに出力された第 3 の信号と、前記ラインの第 2 の方向の端部から偶数おきに出力された第 4 の信号を増幅する第 2 の増幅器と、前記第 1 の増幅器により増幅された前記第 1 の信号と前記第 2 の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第 1 の信号および前記第 2 の信号のどちらか一方を補正する第 1 の補正手段と、前記第 2 の増幅器により増幅された前記第 3 の信号と前記第 4 の信号のうち前記蓄積手段のラインの中央位置に

相当する双方の信号が一致するように、前記第 3 の信号および前記第 4 の信号のどちらか一方を補正する第 2 の補正手段と、

前記第 1 の補正手段で補正された前記第 1 の信号または第 2 の信号と補正されない前記第 1 の信号または第 2 の信号、および前記第 2 の補正手段で補正された前記第 3 の信号または前記第 4 の信号と補正されない前記第 3 の信号または前記第 4 の信号とに基づいて画像を形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2 7】 前記第 1 の補正手段は第 1 の信号および第 2 の信号のうちいずれか一方の信号を固定して、他方の信号を前記固定した信号に合わせるように補正し、前記第 2 の補正手段は前記第 3 の信号および第 4 の信号のうちいずれか一方の信号を固定して、他方の信号を前記固定した信号に合わせるように補正する請求項 2 2、2 3、2 4、2 6 に記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】この発明は、たとえば原稿の光画像情報を受光して電気信号を出力する光電変換装置と光電変換方法、この光電変換装置からの電気信号を処理する画像情報処理装置と画像情報処理方法、この画像情報処理装置を有して画像を形成する電子複写機等の画像形成装置に関する。

【0 0 0 2】

【従来の技術】従来、電子複写機、ファクシミリなど画像形成装置の機器において、例えば、画像読取りの CCD（光電変換素子）の制御は、読取りの速度が上がるほど画素送り出しの周波数が高くなり、その信号の取り扱いが困難になる。このために CCD の画像領域における画素送り出しの分割を奇数（odd）と偶数（even）の 2 分割にして高速処理を行っている。

【0 0 0 3】図 1 5 は従来の 2 チャンネル出力の CCD を示すもので、このような CCD から出力される 2 チャンネルの信号の前処理システムは、図 1 6 に示すように CCD の出力信号を偶数成分、奇数成分で同一の信号伝達経路（処理経路）によって処理が行われる構成となっている。

【0 0 0 4】図 1 6 に示す前処理システムにおいて、信号増幅処理、AD 変換処理された画像信号は、1 画素 8 ビット（bit）のデジタル信号の状態では偶数成分、奇数成分の 2 チャンネルでスキャナ制御用 ASIC に入力され、まず最初に 1 チャンネルに合成処理される。つまり、これにより 1 ライン分の画像データは CCD の画素配列と同じ状態になる。

【0 0 0 5】この 1 チャンネル化された画像データに対してシェーディング処理を施すことによって、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差、つまり照度ムラ、CCD の受光素子（フォトダイオ

ード等)毎の感度ばらつき、CCD内部の受光素子で発生する暗電流の影響等が、それぞれの画素毎に補正される。

【0006】シェーディング補正された画像データはビット反転され、そのまま画像処理ASICへと受け渡され、ここで画像処理ASIC内部において、フィルタリング処理、レンジ補正処理、倍率変換(拡大、縮小)処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施される。

【0007】従来の2チャンネル出力CCDを用いた前処理システムは、CCDの出力信号を偶数成分、奇数成分で同一の信号伝達経路(処理経路)によって処理が行われる構成であるため、このシステム構成にて生じる画像濃度に影響する要因としては、照度ムラ、CCDの受光素子毎の感度ばらつき、CCD内部の受光素子で発生する暗電流の影響といった、いわゆる画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差だけであり、この偏差の影響はシェーディング処理によって補正されるものであった。

【0008】しかしながら、この2チャンネル出力CCDの前処理システムの構成をベースにして、高速化対応とした4チャンネル出力CCDを用いて前処理システムを構成した場合、そのシステム構成、CCD、アンプ(Amp)そのもののチップの内部構造上の理由によって生じる信号の伝達経路(処理経路)の違い、つまり回路特性的な偏差による画像データへの影響、つまり画像濃度に対する画像データへのリニアリティ的な偏差による影響を考慮する必要があるという問題が新たに生じる。

【0009】また、CCDの信号出力構成を比較した場合、従来使用している2チャンネル出力CCDが、信号出力としてCCDの1ライン分の画素信号の並び順として見た場合にこれら2出力は偶数成分と奇数成分それぞれが左端の画素信号から整列化した状態(画像処理上、適切な配列)で出力されるのに対して、高速対応CCD、つまり4チャンネル出力CCDでは信号出力としてCCDの1ライン分の画素信号の並び順として見た場合にこれら4出力は偶数成分と奇数成分それぞれについて、左側の出力は左端の画素信号から順番に最後は中央の画素信号、右側の出力は右端の画素信号から順番に最後は中央の画素信号といった具合に出力されるため、信号の配列が整列化されていない状態(画像処理上、不適切な配列)になるという問題も生じる。

【0010】つまり、この2つの問題は従来のシステム構成においては生じることのない問題、つまり高速化を意識して構築したシステム固有の新たな問題であるため、この問題に対する解決手段は従来のシステムには存在しないということに問題がある。つまり新システムにおいて新規に追加しなければならない手段が発生するということになる。

【0011】

【発明が解決しようとする課題】上記したように、高速化対応として4チャンネル出力CCDを用いた際、その前処理システム構成、CCD、アンプのチップ内部構造上の理由によって生じる信号の伝達経路(処理経路)の違い、つまり回路特性的な偏差による画像データへの影響、つまり画像濃度に対する画像データへのリニアリティ的な偏差が生じ、また、4チャンネル出力CCDの出力信号の配列が整列化されていない状態で出力されるという問題があった。

【0012】そこで、この発明は、4チャンネル出力CCDを用いた際の画像濃度に対する画像データの偏差補正と、画像データの信号配列を整列化することのできる光電変換装置、光電変換方法、画像情報処理装置、画像情報処理方法、および画像形成装置を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明の光電変換装置は、光画像情報を受光して光電変換した電位信号を1ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記1ラインの素子のうちラインの第1の方向の端部から偶数おきに出力し、前記1ラインの素子のうち前記第1の方向の端部から奇数おきに出力し、前記1ラインの素子のうち前記第1の方向と反対の第2の方向から偶数おきに出力し、前記1ラインの素子のうち前記第2の方向の端部から奇数おきに出力する出力手段とから構成されている。

【0014】この発明の光電変換装置は、光画像情報を受光して光電変換した電気信号を1ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号のうち、前記1ラインの素子のうちラインの第1の方向の端部から偶数おきに蓄積された電気信号を保持する第1の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記1ラインの素子のうちラインの第1の方向の端部から奇数おきに蓄積された電気信号を保持する第2の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記1ラインの素子のうち前記第1の方向と反対のラインの第2の方向の端部から偶数おきに蓄積された電気信号を保持する第3の保持手段と、前記蓄積手段に蓄積された電気信号のうち、前記1ラインの素子のうち前記第1の方向と反対のラインの第2の方向の端部から奇数おきに蓄積された電気信号を保持する第4の保持手段と、前記第1の保持手段、第2の保持手段、第3の保持手段、第4の保持手段にそれぞれ保持されている信号を所定の順序に並べ替えて出力する制御手段とから構成されている。

【0015】この発明の光電変換方法は、光画像情報を受光して光電変換した電気信号を1ラインの素子に蓄積するステップと、蓄積された電気信号を前記1ラインの素子のうちラインの第1の方向の端部から偶数おきに出力

2の信号のどちらか一方を補正する第1の補正手段と、前記第2の増幅器により増幅された前記第3の信号と前記第4の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第3の信号および前記第4の信号のどちらか一方を補正する第2の補正手段とから構成されている。

【0018】この発明の画像情報処理方法は、光画像情報を受光して光電変換した電気信号を1ラインの素子に蓄積し、この蓄積した電気信号を前記1ラインの素子のうちラインの第1の方向の端部から偶数おきに出力し、前記1ラインの素子のうち前記第1の方向の端部から奇数おきに出力し、前記1ラインの素子のうち前記第1の方向と反対の第2の方向から偶数おきに出力し、前記1ラインの素子のうち前記第2の方向の端部から奇数おきに出力し、この出力される出力信号のうち、前記ラインの第1の方向の端部から奇数おきに出力された第1の信号と、前記ラインの第2の方向の端部から奇数おきに出力された第2の信号のうち前記1ラインの素子の中央位置に相当する双方の信号が一致するように、前記第1の信号および前記第2の信号のどちらか一方を補正し、前記出力される出力信号のうち、前記ラインの第1の方向の端部から偶数おきに出力された第3の信号と、前記ラインの第2の方向の端部から偶数おきに出力された第4の信号のうち前記1ラインの素子の中央位置に相当する双方の信号が一致するように、前記第3の信号および前記第4の信号のどちらか一方を補正するようにしたことを特徴とする。

【0019】この発明の画像形成装置は、光画像情報を受光して光電変換した電気信号を１ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積した電気信号を前記１ラインの素子のうちラインの第１の方向の端部から偶数おきに出力し、前記１ラインの素子のうち前記第１の方向の端部から奇数おきに出力し、前記１ラインの素子のうち前記第１の方向と反対の第２の方向から偶数おきに出力し、前記１ラインの素子のうち前記第２の方向の端部から奇数おきに出力する出力手段と、この出力手段から出力される出力信号のうち、前記ラインの第１の方向の端部から奇数おきに出力された第１の信号と、前記ラインの第２の方向の端部から奇数おきに出力された第２の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第１の信号および前記第２の信号のどちらか一方を補正する第１の補正手段と、前記出力手段から出力される出力信号のうち、前記ラインの第１の方向の端部から偶数おきに出力された第３の信号と、前記ラインの第２の方向の端部から偶数おきに出力された第４の信号のうち前記蓄積手段のラインの中央位置に相当する双方の信号が一致するように、前記第３の信号および前記第４の信号のどちらか一方を補正する第２の補正手段と、前記第１の補正手段で補正された前記第１の信号または第２の信号と補正さ

れない前記第 1 の信号または第 2 の信号、および前記第 2 の補正手段で補正された前記第 3 の信号または前記第 4 の信号と補正されない前記第 3 の信号または前記第 4 の信号とに基づいて画像を形成する画像形成手段とから構成されている。

【0020】

【発明の実施の形態】以下、この発明の一実施の形態について図面を参照して説明する。

【0021】図 1 は、この発明の画像形成装置に係る高速化対応の 4 チャンネル出力 CCD を用いたデジタル複写機 (DPPC) の内部構造を示す断面図である。

【0022】図 1 に示すように、デジタル複写機は装置本体 10 を備え、この装置本体 10 内には、画像読取手段として機能するスキャナ部 4、および画像形成手段として機能するプリンタ部 6 が設けられている。

【0023】装置本体 10 の上面には、読取対象物、つまり原稿 D が載置される透明なガラスからなる原稿載置台 12 が設けられている。また、装置本体 10 の上面には、原稿載置台 12 上に原稿を自動的に送る自動原稿送り装置 7 (以下、ADF と称する) が配設されている。この ADF 7 は、原稿載置台 12 に対して開閉可能に配設され、原稿載置台 12 に載置された原稿 D を原稿載置台 12 に密着させる原稿押さえとしても機能する。

【0024】ADF 7 は、原稿 D がセットされる原稿トレイ 8、原稿の有無を検出するエンブティセンサ 9、原稿トレイ 8 から原稿を一枚づつ取り出すピックアップローラ 14、取り出された原稿を搬送する給紙ローラ 15、原稿の先端を整位するアライニングローラ対 16、原稿載置台 12 のほぼ全体を覆うように配設された搬送ベルト 18 を備えている。そして、原稿トレイ 8 に上向きにセットされた複数枚の原稿は、その最下の頁、つまり、最終頁から順に取り出され、アライニングローラ対 16 により整位された後、搬送ベルト 18 によって原稿載置台 12 の所定位置へ搬送される。

【0025】ADF 7 において、搬送ベルト 18 を挟んでアライニングローラ対 16 と反対側の端部には、反転ローラ 20、非反転センサ 21、フラップ 22、排紙ローラ 23 が配設されている。後述するスキャナ部 4 により画像情報の読取られた原稿 D は、搬送ベルト 18 により原稿載置台 12 上から送り出され、反転ローラ 20、フラップ 21、および排紙ローラ 22 を介して ADF 7 上面の原稿排紙部 24 上に排出される。原稿 D の裏面を読取る場合、フラップ 22 を切換えることにより、搬送ベルト 18 によって搬送されてきた原稿 D は、反転ローラ 20 によって反転された後、再度搬送ベルト 18 により原稿載置台 12 上の所定位置に送られる。

【0026】装置本体 10 内に配設されたスキャナ部 4 は、原稿載置台 12 に載置された原稿 D を照明する光源としての露光ランプ 25、および原稿 D からの反射光を所定の方向に偏向する第 1 のミラー 26 を有し、これら

の露光ランプ 25 および第 1 のミラー 26 は、原稿載置台 12 の下方に配設された第 1 のキャリッジ 27 に取り付けられている。

【0027】第 1 のキャリッジ 27 は、原稿載置台 12 と平行に移動可能に配置され、図示しない歯付きベルト等を介して後述するスキャニングモータ 35 により、原稿載置台 12 の下方を往復移動される。

【0028】また、原稿載置台 12 の下方には、原稿載置台 12 と平行に移動可能な第 2 のキャリッジ 28 が配設されている。第 2 のキャリッジ 28 には、第 1 のミラー 26 により偏向された原稿 D からの反射光を順に偏向する第 2 および第 3 のミラー 30、31 が互いに直角に取り付けられている。第 2 のキャリッジ 28 は、第 1 のキャリッジ 27 を駆動する歯付きベルト等により、第 1 のキャリッジ 27 に対して従動されるとともに、第 1 のキャリッジに対して、1/2 の速度で原稿載置台 12 に沿って平行に移動される。

【0029】また、原稿載置台 12 の下方には、第 2 のキャリッジ 28 上の第 3 のミラー 31 からの反射光を集束する結像レンズ 32 と、結像レンズにより集束された反射光を受光して光電変換する 4 チャンネル出力 CCD (光電変換素子) 34 とが配設されている。結像レンズ 32 は、第 3 のミラー 31 により偏向された光の光軸を含む面内に、駆動機構を介して移動可能に配設され、自身が移動することで反射光を所望の倍率で結像する。そして、4 チャンネル出力 CCD 34 は、入射した反射光を光電変換し、読み取った原稿 D に対応する電気信号を出力する。

【0030】一方、プリンタ部 6 は、潜像形成手段として作用するレーザ露光装置 40 を備えている。レーザ露光装置 40 は、光源としての半導体レーザ 41 と、半導体レーザ 41 から出射されたレーザ光を連続的に偏向する走査部材としてのポリゴンミラー 36 と、ポリゴンミラー 36 を後述する所定の回転数で回転駆動する走査モータとしてもポリゴンモータ 37 と、ポリゴンミラーからのレーザ光を偏向して後述する感光体ドラム 44 へ導く光学系 42 とを備えている。このような構成のレーザ露光装置 40 は、装置本体 10 の図示しない支持フレームに固定支持されている。

【0031】半導体レーザ 41 は、スキャナ部 4 により読取られた原稿 D の画像情報、あるいはファクシミリ送受信文書情報等に応じてオン・オフ制御され、このレーザ光はポリゴンミラー 36 および光学系 42 を介して感光体ドラム 44 へ向けられ、感光体ドラム 44 周面を走査することにより感光体ドラム 44 周面上に静電潜像を形成する。

【0032】また、プリンタ部 6 は、装置本体 10 のほぼ中央に配設された像担持体としての回転自在な感光体ドラム 44 を有し、感光体ドラム 44 周面は、レーザ露光装置 40 からのレーザ光により露光され、所望の静電

潜像が形成される。感光体ドラム 44 の周囲には、ドラム周面を所定の電荷に帯電させる帯電チャージャ 45、感光体ドラム 44 周面上に形成された静電潜像に現像剤としてのトナーを供給して所望の画像濃度で現像する現像器 46、後述する用紙カセットから給紙された被転写材、つまり、コピー用紙 P を感光体ドラム 44 から分離させるための剥離チャージャ 47 を一体に有し、感光体ドラム 44 に形成されたトナー像を用紙 P に転写させる転写チャージャ 48、感光体ドラム 44 周面からコピー用紙 P を剥離する剥離爪 49、感光体ドラム 44 周面に残留したトナーを清掃する清掃装置 50、および、感光体ドラム 44 周面の除電する除電器 51 が順に配置されている。

【0033】装置本体 10 内の下部には、それぞれ装置本体から引出し可能な上段カセット 52、中段カセット 53、下段カセット 54 が互いに積層状態に配設され、各カセット内にはサイズの異なるコピー用紙が装填されている。これらのカセットの側方には大容量フィーダ 55 が設けられ、この大容量フィーダ 55 には、使用頻度の高いサイズのコピー用紙 P、例えば、A4 サイズのコピー用紙 P が約 3000 枚収納されている。また、大容量フィーダ 55 の上方には、手差しトレイ 56 を兼ねた給紙カセット 57 が脱着自在に装着されている。

【0034】装置本体 10 内には、各カセットおよび大容量フィーダ 55 から感光体ドラム 44 と転写チャージャ 48 との間に位置した転写部を通して延びる搬送路 58 が形成され、搬送路 58 の終端には定着ランプ 60a を有する定着装置 60 が設けられている。定着装置 60 に対向した装置本体 10 の側壁には排出口 61 が形成され、排出口 61 にはシングルトレイのフィニッシャ 150 が装着されている。

【0035】上段カセット 52、中段カセット 53、下段カセット 54、給紙カセット 57 の近傍および大容量フィーダ 55 の近傍には、カセットあるいは大容量フィーダから用紙 P を一枚ずつ取り出すピックアップローラ 63 がそれぞれ設けられている。また、搬送路 58 には、ピックアップローラ 63 により取り出されたコピー用紙 P を搬送路 58 を通して搬送する多数の給紙ローラ 64 が設けられている。

【0036】搬送路 58 において感光体ドラム 44 の上流側にはレジストローラ 65 が設けられている。レジストローラ 65 は、取り出されたコピー用紙 P の傾きを補正するとともに、感光体ドラム 44 上のトナー像の先端とコピー用紙 P の先端とを整合させ、感光体ドラム 44 周面の移動速度と同じ速度でコピー用紙 P を転写部へ給紙する。レジストローラ 65 の手前、つまり、給紙ローラ 64 側には、コピー用紙 P の到達を検出するアライニング前センサ 66 が設けられている。

【0037】ピックアップローラ 63 により各カセットあるいは大容量フィーダ 55 から 1 枚ずつ取り出された

コピー用紙 P は、給紙ローラ 64 によりレジストローラ 65 へ送られる。そして、コピー用紙 P は、レジストローラ 65 により先端が整位された後、転写部に送られる。

【0038】転写部において、感光体ドラム 44 上に形成された現像剤像、つまり、トナー像が、転写チャージャ 48 により用紙 P 上に転写される。トナー像の転写されたコピー用紙 P は、剥離チャージャ 47 および剥離爪 49 の作用により感光体ドラム 44 周面から剥離され、搬送路 52 の一部を構成する搬送ベルト 67 を介して定着装置 60 に搬送される。そして、定着装置 60 によって現像剤像がコピー用紙 P に溶融定着した後、コピー用紙 P は、給紙ローラ 68 および排紙ローラ 69 により排出口 61 を通してフィニッシャ 150 上へ排出される。

【0039】搬送路 58 の下方には、定着装置 60 を通過したコピー用紙 P を反転して再びレジストローラ 65 へ送る自動両面装置 70 が設けられている。自動両面装置 70 は、コピー用紙 P を一時的に集積する一時集積部 71 と、搬送路 58 から分岐し、定着装置 60 を通過したコピー用紙 P を反転して一時集積部 71 に導く反転路 72 と、一時集積部に集積されたコピー用紙 P を一枚ずつ取り出すピックアップローラ 73 と、取り出された用紙を搬送路 74 を通してレジストローラ 65 へ給紙する給紙ローラ 75 とを備えている。また、搬送路 58 と反転路 72 との分岐部には、コピー用紙 P を排出口 61 あるいは反転路 72 に選択的に振り分ける振り分けゲート 76 が設けられている。

【0040】両面コピーを行う場合、定着装置 60 を通過したコピー用紙 P は、振り分けゲート 76 により反転路 72 に導かれ、反転された状態で一時集積部 71 に一時的に集積された後、ピックアップローラ 73 および給紙ローラ 75 により、搬送路 74 を通してレジストローラ 65 へ送られる。そして、コピー用紙 P はレジストローラ 65 により整位された後、再び転写部に送られ、コピー用紙 P の裏面にトナー像が転写される。その後、コピー用紙 P は、搬送路 58、定着装置 60 および排紙ローラ 69 を介してフィニッシャ 150 に排紙される。

【0041】フィニッシャ 150 は排出された一部構成の文書を一部単位でステーブル止めし貯めていくものである。ステーブルするコピー用紙 P が一枚排出口 61 から排出される度にガイドバー 151 にてステーブルされる側に寄せて整合する。全てが排出され終わると紙押えアーム 152 が排出された一部単位のコピー用紙 P を抑えステーブラユニット（図示しない）がステーブル止めを行う。その後、ガイドバー 151 が下がり、ステーブル止めが終わったコピー用紙 P はその一部単位でフィニッシャ排出ローラ 155 にてそのフィニッシャ排出トレイ 154 に排出される。フィニッシャ排出トレイ 154

の下がる量は排出されるコピー用紙 P の枚数によりある程度決められ、一部単位に排出される度にステップ的に下がる。また排出されるコピー用紙 P を整合するガイドバー 1 5 1 はフィニッシャ排出トレイ 1 5 4 上に載った既にステーブル止めされたコピー用紙 P に当たらないような高さの位置にある。

【 0 0 4 2 】 また、フィニッシャ排出トレイ 1 5 4 は、ソートモード時、一部ごとにシフト（たとえば、前後左右の 4 つの方向へ）するシフト機構（図示しない）に接続されている。

【 0 0 4 3 】 また、装置本体 1 0 の前面上部には、様々な複写条件並びに複写動作を開始させる複写開始信号などを入力する操作パネル 3 8 0 が設けられている。

【 0 0 4 4 】 次に、図 2 を参照してデジタル複写機の制御システムについて説明する。

【 0 0 4 5 】 デジタル複写機の制御システムは、全体は大きく 3 つのブロックより成り、スキャナ部 4、プリンタ部 6 との間を画像処理部 5 で繋ぎ、デジタル複写機を構成する基本部 3 0 1 と、この基本部 3 0 1 からの画像データを受け取り記録し、その記録した画像データを再び基本部 3 0 1 に転送することでメモリコピー（電子ソート）を実現するページメモリ部 3 0 2 と、このページメモリ部 3 0 2 の圧縮画像データを記憶するための 2 次メモリとしてのハードディスク（HD）、公衆回線を通して外部と画像圧縮データのやり取りを行う FAX ボード（G 4 / G 3 ・ FAX 制御手段） 3 6 9、LAN を経由してデータのやり取りを行う LAN ボード（ローカルエリアネットワーク回線制御手段） 3 7 1、またそれ等をシステムバス 3 7 3 と ISA バス 3 7 4 を通して制御する拡張部 CPU 3 6 1、拡張部 CPU 3 6 1 が使用するメインメモリ 3 6 1 a、ISA バス 3 7 4 上での DMA 転送を制御する DMAC 3 6 2 とから成るマザーボード等で構成される拡張部 3 0 3 から構成される。

【 0 0 4 6 】 基本部 3 0 1 とページメモリ部 3 0 2 は制御データをやりとりする基本部システムインタフェース 3 1 6、画像データをやりとりする基本部画像インタフェース 3 1 7 とで接続されている。また、ページメモリ部 3 0 2 と拡張部 3 0 3 は制御データをやりとりする拡張部システムインタフェース 3 7 6、画像データをやりとりする拡張部画像インタフェース 3 7 7 とで接続されている。

【 0 0 4 7 】 基本部 3 0 1 は、入力手段（スキャナ部） 4、出力手段（プリンタ部） 6、画像処理部 5、およびこれらを制御する制御手段（基本部 CPU） 3 1 1 から構成される。

【 0 0 4 8 】 スキャナ部 4 は列状に配置された複数の受光素子（1 ラインの CCD）からなる上述した 4 チャンネル出力 CCD 3 4 を有し、原稿載置台 1 2 に載置された原稿の画像を基本部 CPU 3 1 1 からの指示に従い 1 ライン毎に読取り、画像の濃淡を 8 ビットのデジタル・

データに変換した後、スキャナインタフェース（図示しない）を介して、同期信号と共に時系列デジタル・データとして画像処理部 5 へ出力する。

【 0 0 4 9 】 基本部 CPU 3 1 1 は上記基本部 3 0 1 内の上記各手段及び後述するページメモリ部 3 0 2 の各手段を制御する。

【 0 0 5 0 】 ページメモリ部 3 0 2 は基本部 3 0 1 内の基本部 CPU 3 1 1 と拡張部 3 0 3 内の拡張部 CPU 3 6 1 との制御情報の通信を制御したり、基本部 3 0 1 および拡張部 3 0 3 からのページメモリ 3 2 3 へのアクセスを制御し、通信メモリ 3 0 5 を内蔵するシステム制御手段 3 0 4、画像データを一時的に記憶しておく記憶手段（ページメモリ） 3 2 3、ページメモリ 3 2 3 のアドレスを生成するアドレス制御部 3 0 6、ページメモリ部 3 0 2 内の各デバイス間のデータ転送を行う画像バス 3 2 0、ページメモリ部 3 0 2 内の各デバイスとシステム制御手段 3 0 4 との間の制御信号の転送を行う制御バス 3 2 1、画像バス 3 2 0 を介してページメモリ 3 2 3 と他のデバイスとのデータ転送を行うときのデータ転送を制御するデータ制御手段 3 0 7、基本部画像インタフェース 3 1 7 を介して基本部 3 0 1 と画像データを転送するときに画像データをインタフェースする画像データ I / F 手段 3 0 8、解像度の異なる機器に画像データを送信するときに画像データを他の機器の解像度に変換したり、解像度の異なる機器から受信した画像データを基本部 3 0 1 のプリンタ部 6 の解像度に変換したり、2 値画像データの 9 0 度回転処理を実行する解像度変換 / 2 値回転手段 3 2 5、ファクシミリ送信や光ディスク記憶のように画像データを圧縮して送信したり、記憶したりするデバイスのために入力した画像データを圧縮したり、圧縮された形態の画像データをプリンタ部 6 を介して可視化するために伸長する圧縮 / 伸長手段 3 2 4、画像データ I / F 手段 3 0 8 に接続され、プリンタ部 6 から画像データを出力するときに画像データを 9 0 度あるいは - 9 0 度回転して出力するときに使用する多値回転メモリ 3 0 9 で構成される。

【 0 0 5 1 】 拡張部 3 0 3 は下記の拡張部 3 0 3 内の各デバイスを拡張部システムバス 3 7 3 を介して制御する制御手段（拡張部 CPU） 3 6 1、この拡張部 CPU 3 6 1 が使用するメインメモリ 3 6 1 a、汎用的な ISA バス 3 7 4、拡張部システムバス 3 7 3 と ISA バス 3 7 4 をインタフェースする ISA バスコントローラ（ISA ・ B / C） 3 6 3、ISA バス 3 7 4 上でのデータ転送を制御する DMA コントローラ（DMAC） 3 6 2、ISA バス 3 7 4 に接続され画像データを電子的に保存するための保存手段（HDD） 3 6 5、そのインタフェースである HD ・ FD インタフェース（HD ・ FD I / F） 3 6 4、ISA バス 3 7 4 に接続され画像データを電子的に保存するための保存手段（光ディスク装置；ODD） 3 6 8、そのインタフェースである SCS

I インタフェース 367、LAN 機能を実現するためのローカルエリアネットワーク回線制御手段 (LAN) 371、プリンタ機能を実現するためのプリンタコントローラ手段 370、G4/G3・FAX 制御機能を有する G4/G3・FAX 制御手段 369、プリンタコントローラ手段 370 からのイメージデータをシステム画像インタフェース 377 を介してページメモリ部 302 へ出力するための拡張部画像バス 375 で構成される。

【0052】上記 HDD 365 に内蔵されるハードディスク HD には、圧縮された 1 頁あるいは複数頁からなる 1 文書ごとの圧縮イメージデータがファイルとして、その文書を検索するための検索データで管理された状態で記憶されるようになっている。

【0053】また、拡張部システムバス 373 には、拡張部 303 に対する指示を行うキーボードとディスプレイからなる上述した操作パネル 80 が接続されている。

【0054】保存手段 (ODD) 368 は SCSI インタフェース 367 を介して ISA バス 374 と接続され、拡張部 CPU 361 は SCSI コマンドを用いて拡張部システムバス 373、ISA・B/C 63、ISA バス 374 を介して保存手段 368 を制御する。

【0055】次に、画像データ I/F 手段 (イメージデータ制御手段) 308 について説明する。画像データ I/F 手段 308 は画像バス 320 上のデバイスでスキャナ部 4 あるいはプリンタ部 6 とページメモリ 323 との間の画像データ転送を画像処理部 5 を介して行う。また、拡張部 303 内の拡張部画像バス 375 に接続されたプリンタコントローラ 370 等とページメモリ 323 との画像データ転送も行う。

【0056】ここで、ページメモリ部 302 のページメモリ 323 は大きなメモリ空間を有したものである。

【0057】図 3 は、図 1、図 2 で示したデジタル複写機の概略構成を示すものである。すなわち、上述したようにスキャナ部 4、画像処理部 5、プリンタ部 6 から構成されている。図 3 に示すようにデジタル複写機の場合の原稿画像の読み込みは、原稿面に露光ランプ 25 で直接光をあてて、その反射光をミラー 26、30、31、結像レンズ 32 を用いて 4 チャンネル出力 CCD 34 まで導き、4 チャンネル出力 CCD 34 によってこの光画像データを光電変換することによって複数 (例えば 600 dpi の場合 7500 個) のそれぞれの受光素子毎に電荷信号に置き換えられる。この電荷信号は、4 チャンネル出力 CCD 34 内部の後述する CCD アナログシフトレジスタによってアナログ信号として順番に転送出力される。上記 HDD 365 に内蔵されるハードディスク HD には、圧縮された 1 頁あるいは複数頁からなる 1 文書ごとの圧縮イメージデータがファイルとして、その文書を検索するための検索データで管理された状態で記憶されるようになっている。

【0058】また、拡張部システムバス 373 には、拡張

部 303 に対する指示を行うキーボードとディスプレイからなる上述した操作パネル 80 が接続されている。

【0059】保存手段 (ODD) 368 は SCSI インタフェース 367 を介して ISA バス 374 と接続され、拡張部 CPU 361 は SCSI コマンドを用いて拡張部システムバス 373、ISA・B/C 63、ISA バス 374 を介して保存手段 368 を制御する。

【0060】次に、画像データ I/F 手段 (イメージデータ制御手段) 308 について説明する。画像データ I/F 手段 308 は画像バス 320 上のデバイスでスキャナ部 4 あるいはプリンタ部 6 とページメモリ 323 との間の画像データ転送を画像処理部 5 を介して行う。また、拡張部 303 内の拡張部画像バス 375 に接続されたプリンタコントローラ 370 等とページメモリ 323 との画像データ転送も行う。

【0061】ここで、ページメモリ部 302 のページメモリ 323 は大きなメモリ空間を有したものである。

【0062】図 3 は、図 1、図 2 で示したデジタル複写機の概略構成を示すものである。すなわち、上述したようにスキャナ部 4、画像処理部 5、プリンタ部 6 から構成されている。図 3 に示すようにデジタル複写機の場合の原稿画像の読み込みは、原稿面に露光ランプ 25 で直接光をあてて、その反射光をミラー 26、30、31、結像レンズ 32 を用いて 4 チャンネル出力 CCD 34 まで導き、4 チャンネル出力 CCD 34 によってこの光画像データを光電変換することによって複数 (例えば 600 dpi の場合 7500 個) のそれぞれの受光素子毎に電荷信号に置き換えられる。この電荷信号は、4 チャンネル出力 CCD 34 内部の後述する CCD アナログシフトレジスタによってアナログ信号として順番に転送出力される。

【0063】図 3 に示すように、図 2 で示した制御システムは、4 チャンネル出力 CCD 34 を含んだ読み込み制御部 81、ページメモリボード 82、編集ボード 83、画像処理部 84 と書き込み制御処理部 85、レーザ駆動部 87、ポリゴンモータドライブ 88 で構成され、半導体レーザ 41 からのレーザ光がポリゴンミラー 36 で偏向されて感光体ドラム 44 へ導かれるように構成されている。

【0064】図 4 は、4 チャンネル出力 CCD 34 の構成を詳細に示したもので、順番に配列された受光素子 (フォトダイオード等) S1~S7500、シフトゲート 101、シフトゲート 102、CCD アナログシフトレジスタ 111~114、出力バッファ 121~124 で構成される。

【0065】図 4 に示すように 4 チャンネル出力 CCD 34 の場合は、信号出力が偶数成分と奇数成分を、さらにそれぞれを左右に分割して 4 系統の出力構成としているため、CCD アナログシフトレジスタ 111、112、113、114 が 4 つ存在する。したがって CCD

アナログシフトレジスタ 1 1 1 によって奇数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ 1 1 2 によって偶数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ 1 1 3 によって奇数成分の右端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ 1 1 4 によって偶数成分の右端の受光素子による信号より順番に転送出力されることになる。

【0 0 6 6】また、奇数成分、偶数成分それぞれの左右から出力される最後の信号は、受光素子 S 1 ~ S 7 5 0 の中央にて、となりあわせてならぶ受光素子 S 3 7 4 9, S 3 7 5 0, S 3 7 5 1, S 3 7 5 2 による信号となる。この 4 チャンネル出力 CCD 3 4 を駆動するために必要な制御信号（転送クロック、シフトゲート信号、リセット信号、クランプ信号）は後述する高速スキャナ制御 ASIC の CCD 駆動機能により生成される。

【0 0 6 7】図 5 は、読み込み制御部 8 1 に搭載される 4 チャンネル出力 CCD 3 4 における画像データの転送を行う前処理システム 1 3 0 と高速スキャナ制御 ASIC 1 3 5 の構成を示すものである。なお、前処理システム 1 3 0 は、アンプ 1 3 1、1 3 2、A/D コンバータ 1 3 3、1 3 4 とから構成されている。

【0 0 6 8】前処理システム 1 3 0 において、4 チャンネル出力 CCD 3 4 から出力されたアナログ信号はアンプ（Amp : アナログ信号処理集積回路）1 3 1、1 3 2 において画素信号毎にサンプリングして信号増幅する。

【0 0 6 9】ここで使用するアンプ 1 3 1、1 3 2 は、1 チップで 2 チャンネル分の処理が並列（パラレル）で可能である。アンプ 1 3 1 には、4 チャンネル出力 CCD 3 4 の画素信号の奇数成分の左右 2 チャンネル（出力端子 OS 1、OS 3）を入力し、アンプ 1 3 2 には 4 チャンネル出力 CCD 3 4 の画素信号の偶数成分の左右 2 チャンネル（出力端子 OS 2、OS 4）を入力としている。

【0 0 7 0】それぞれのアンプ 1 3 1、1 3 2 内部においては、4 チャンネル出力 CCD 3 4 の左右からの 2 チャンネルの画素信号が並列で処理（サンプリングおよび信号増幅）され、そのあと 1 チャンネルに合成（マルチプレクス）する。すなわち、アンプ 1 3 1 においては奇数成分の左右の信号を合成して 1 チャンネルに、アンプ 1 3 2 においては偶数成分の左右の信号を合成して 1 チャンネルにし、それぞれアンプ 1 3 1、1 3 2 より出力するという方式をとっている。

【0 0 7 1】これはアンプ 1 3 1 では 4 チャンネル出力 CCD 3 4 の奇数成分の左右の画素信号をまとめて処理し、アンプ 1 3 2 では 4 チャンネル出力 CCD 3 4 の偶数成分の左右の画素信号をまとめて処理するという構成であり、このような構成をとることによって 4 チャンネル出力 CCD 3 4 の出力信号の偶数成分、奇数成分、そ

れぞれの左右の信号の歪みがアンプ（1 3 1、1 3 2）のチップ間のバラツキ（チップ差による回路特性のばらつき）に依存しないようにするための配慮となっている。

【0 0 7 2】また、この場合、アンプ 1 3 1、1 3 2 からの信号出力レートは、アンプ 1 3 1、1 3 2 への信号入力レートの 2 倍となる。このアンプ 1 3 1、1 3 2 より出力される信号処理上適切なレベルまで増幅された画素毎のアナログ信号は、A/D コンバータ（ADC 1 3 3、1 3 4）によって AD 変換されてデジタル信号となる。

【0 0 7 3】アンプ 1 3 1 は、4 チャンネル出力 CCD 3 4 から出力された奇数成分の左右 2 チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅し、さらにこの信号を 1 チャンネルに合成し、このアンプ 1 3 1 より出力されるアナログ信号については A/D コンバータ 1 3 3 によって AD 変換するようになっている。また、アンプ 1 3 2 は、4 チャンネル出力 CCD 3 4 から出力された偶数成分の左右 2 チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅し、さらにこの信号を 1 チャンネルに合成し、このアンプ 1 3 2 より出力されるアナログ信号については A/D コンバータ 1 3 4 によって AD 変換するようになっている。また、ここで使用する A/D コンバータ 1 3 3、1 3 4 の分解能は、8 ビット（bit : 2 5 6 ステップ）なので、画素データとしては 1 画素あたり 8 ビットデータとなる。

【0 0 7 4】このように 4 チャンネル出力 CCD 3 4 にて読込まれた画像情報（光画像データとして 4 チャンネル出力 CCD 3 4 に入力されるもの）に基づいて 4 チャンネル出力 CCD 3 4 より出力される画素信号（アナログ信号）をアンプ 1 3 1、1 3 2 にて信号増幅および合成し、その信号を A/D コンバータ 1 3 3、1 3 4 によって AD 変換してデジタル信号にするといった一連の処理をスキャナ部 4 における前処理と呼び、前処理システム 1 3 0 を構成する。

【0 0 7 5】また、アンプ 1 3 1、1 3 2 を駆動するために必要な制御信号（サンプルホールドパルス、合成信号、クランプ信号）および A/D コンバータ 1 3 3、1 3 4 において AD 変換処理に必要な AD 変換用クロックについては、高速スキャナ制御 ASIC 1 3 5 の前処理 LSI 駆動機能より生成される。このようにして前処理を施された画像情報に基づく画素信号（1 画素あたり 8 ビットデータ、以下画像データと記述する）は、高速スキャナ制御 ASIC 1 3 5 内部においてシェーディング補正処理および本発明である左右補正処理、ラスタ変換処理が施される。

【0 0 7 6】図 6 は、本発明に係る高速スキャナ制御 ASIC 1 3 5 の構成を示すものである。すなわち、高速スキャナ制御 ASIC 1 3 5 は、バス幅変換回路 1 4

0、シェーディング補正回路 141、142、143、144、バスセレクト回路 (SEL) 145、146、147、148、左右補正回路 160、ビット反転回路 161、162、163、164、およびラスタ変換回路 165 から構成されている。

【0077】前処理システム 130 で前処理が施された画像データは、DOAX (8ビット：奇数成分の左右合成されたデータ) および DOBX (8ビット：偶数成分の左右合成されたデータ) として 2 チャンネルで高速スキャナ制御 ASIC 135 に入力される。

【0078】高速スキャナ制御 ASIC 135 内部における全ての処理は、前処理システム 130 においてデジタル化された画像データに対して行われるものである。これらの画像データは、まずバス幅変換回路 140 を通ることにより奇数成分、偶数成分それぞれにおいて左のデータと右のデータに分けられる。即ち、奇数成分の左右合成されたデータである DOAX (8ビット) は、バス幅変換回路 140 により DOA1X (8ビット：奇数成分の左のデータ) と DOA2X (8ビット：奇数成分の右のデータ) に分解され、偶数成分の左右合成されたデータである DOBX (8ビット) はバス幅変換回路 140 により DOB1X (8ビット：偶数成分の左のデータ) と DOB2X (8ビット：偶数成分の右のデータ) に分解される。

【0079】従って、バス幅変換回路 140 によって 2 チャンネルで入力される画像データは 4 チャンネルに分解されるため、例えば、画像データのデータレートが 2 チャンネルで 1 チャンネル当り 40 MHz として DOAX、DOBX より入力された場合、バス幅変換処理後の出力としての画像データは 4 チャンネルで 1 チャンネル当り 20 MHz として DOA1X、DOA2X、DOB1X、DOB2X に変換された状態で出力され、次段に入力されることになる。

【0080】バス幅変換処理により分解されたそれぞれの画像データ DOA1X (8ビット：奇数成分の左のデータ)、DOA2X (8ビット：奇数成分の右のデータ)、DOB1X (8ビット：偶数成分の左のデータ)、DOB2X (8ビット：偶数成分の右のデータ) は、シェーディング補正回路 141、142、143、144 によりシェーディング補正処理が施される。また、図に示すように高速スキャナ制御 ASIC 135 の場合、シェーディング補正回路を 4 つ準備することにより、バス幅変換処理された 4 チャンネルの画像データ DOA1X、DOA2X、DOB1X、DOB2X をそれぞれ並列で同時に処理できるような構成をとっている。

【0081】ここでシェーディング補正機能について簡単に説明する。シェーディング補正には白レベルシェーディング補正と黒レベルシェーディング補正があり、この高速スキャナ制御 ASIC 135 の機能としては両方の補正に対応したアルゴリズムに基づいた回路構成とな

っている。

【0082】白レベルシェーディング補正とは、4 チャンネル出力 CCD 34 で読込んだ原稿上の読取データ (画像データ) をあらかじめ 4 チャンネル出力 CCD 34 により読込んだ白基準データで各画素毎に割ることにより、原稿上の読取データ (画像データ) を画素毎に正規化 (補正) する。これにより照度むらおよび 4 チャンネル出力 CCD 34 の受光素子毎の感度ばらつきを補正することができる。

10 【0083】黒レベルシェーディング補正とは、黒レベルを歪ませる主な要因である 4 チャンネル出力 CCD 34 内部の受光素子で発生する暗電流の影響等対して、4 チャンネル出力 CCD 34 で読込んだ原稿上の読取データ (画像データ) と白基準データより、あらかじめ 4 チャンネル出力 CCD 34 により読込んだ黒基準データを各画素毎に減ずることによりキャンセル (補正) するものである。

【0084】シェーディング補正されたそれぞれの画像データは、本発明である左右補正回路 160 によって偶数成分、奇数成分それぞれの左右のデータに対して補正処理され、そのあとビット反転回路 161、162、163、164 でビット反転して、本発明であるラスタ変換回路 165 によって画像データの並び順の整列化処理が行われる。

【0085】このように高速スキャナ制御 ASIC 135 内部においてこれら一連の処理が施された画像データは、AIDTAX (8ビット)、AIDTBX (8ビット)、AIDTCX (8ビット)、AIDTDX (8ビット) として高速スキャナ制御 ASIC 135 より出力され、画像処理 ASIC 84 へと受け渡される。画像処理 ASIC 84 に入力された画像データは、画像処理 ASIC 84 内部において、フィルタリング処理、レンジ補正処理、倍率変換 (拡大、縮小) 処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施される。

【0086】図 7 は、左右補正回路 160 の構成を示すものである。左右補正回路 160 は、補正メモリ用チップイネーブル発生回路 170、バスセレクト回路 (SEL) 171、172、173、174、175、176、左右補正用のメモリ 180、およびバスセレクト回路 (SEL) 181、182、183、184、185 から構成されている。この左右補正回路 160 は、CPU-IF 回路 177 を介して制御される。

【0087】前述したように、高速デジタル複写機の読取りスキャナ用として使用する高速対応ラインセンサ (4 チャンネル出力 CCD 34) は、高速化という要求仕様に対応するため図 4 で示したように、受光素子 S1 ~ S7500 により光電変換された電荷信号を 4 組の CCD アナログシフトレジスタ (左奇数成分の電荷信号移送用) 111、CCD アナログシフトレジスタ (左偶数

成分の電荷信号移送用) 1 1 2、CCDアナログシフトレジスタ(右奇数成分の電荷信号移送用) 1 1 3、CCDアナログシフトレジスタ(右偶数成分の電荷信号移送用) 1 1 4を用いて、その左右両側に配置された4組の出力バッファ(左奇数成分の信号出力駆動用) 1 2 1、出力バッファ(左偶数成分の信号出力駆動用) 1 2 2、出力バッファ(右奇数成分の信号出力駆動用) 1 2 3、出力バッファ(右偶数成分の信号出力駆動用) 1 2 4によって4チャンネル出力CCD 3 4の1ライン分の画素信号(例えば600dpiの場合7500画素分の画素信号)を4系統に分割して出力するといった構成をとっている。

【0088】また、このような構成により、奇数成分、偶数成分それぞれの左右から出力される最後の画素信号は、4チャンネル出力CCD 3 4の中央にてとなりあわせてならぶ受光素子S 3 7 4 9、S 3 7 5 0、S 3 7 5 1、S 3 7 5 2による信号となっている。従って、4チャンネル出力CCD 3 4の場合、信号出力構成として4チャンネル出力CCD 3 4の1ライン分の画素信号は、偶数成分、奇数成分のそれぞれについて左右別々の出力バッファ(1 2 1と1 2 3、1 2 2と1 2 4)により駆動されて出力されることになるため、信号の伝達経路はまず4チャンネル出力CCD 3 4の出力段において明らかに4系統に別れることになる。

【0089】また、4チャンネル出力CCD 3 4より出力された画素信号(アナログ信号)は、前述した前処理システム1 3 0によって信号増幅、AD変換され、画像データとしてデジタル化されるわけであるが、ここにおいても前処理システム1 3 0としての構成の仕方によって信号の伝達経路が1から4系統の間で任意に変わってくる。

【0090】従って、光画像信号として4チャンネル出力CCD 3 4に入力される画像情報は、4チャンネル出力CCD 3 4内部の複数の受光素子(S 1～S 7 5 0 0)毎に光電変換され電荷信号になるわけであるが、このときその読取りの対象となる原稿上の画像情報として原稿の反射率が同一濃度である光画像信号を各受光素子(S 1～S 7 5 0 0)によって光電変換した電荷信号であっても、この電荷信号の伝達経路(処理経路)が異なってしまうと4チャンネル出力CCD 3 4内部および前処理システム1 3 0の回路特性的な偏差によって、画素信号間(画像データ)において歪みが生じてしまう可能性がある。

【0091】現に、この回路特性の偏差による悪影響は、それをコピーとして印刷した場合、図19に示す従来の2チャンネル出力CCDを用いた前処理システムのようにCCDの出力信号を偶数成分、奇数成分で同一の信号伝達経路(処理経路)による処理の場合は印刷された画像上に平均濃度差として現れないのに対して、図5に示した高速デジタル複写機用の4チャンネル出力CC

D 3 4を用いた前処理システム1 3 0のように偶数成分、奇数成分のそれぞれを更に左右に分割するような信号伝達経路(処理経路)による処理になると、印刷された画像上において目視にて確認できるレベルで左右に平均濃度差として現れてしまうのをシミュレーションにより確認している。

【0092】つまり、奇数成分、偶数成分の信号伝達経路(処理経路)が異なることについてはさほど重要ではないが、ここで問題視すべき点は、高速化対応された4チャンネル出力CCD 3 4を用いた場合、左右の信号伝達経路(処理経路)は本来同一であることが望ましいということである。もしこれが4チャンネル出力CCD 3 4、前処理システム1 3 0の構成として可能であれば回路特性による偏差の悪影響に対して特別な対応は必要としない。

【0093】しかし、物理的に可能なシステム構成としては、図5に示した前処理システム1 3 0の構成であるが、CCDについては4チャンネル出力CCD 3 4の構造上、受光素子S 1～S 7 5 0 0により光電変換された電荷信号を4組のCCDアナログシフトレジスタ1 1 1、1 1 2、1 1 3、1 1 4を用いて、その左右両側に配置された4組の出力バッファ1 2 1、1 2 2、1 2 3、1 2 4によってCCD 3 4の1ライン分の画素信号を4系統に分割して出力する。このため、ここでそれぞれのCCDアナログシフトレジスタ(1 1 1、1 1 2、1 1 3、1 1 4)の伝達効率、出力バッファ(1 2 1、1 2 2、1 2 3、1 2 4)の特性等による偏差が生じる。

【0094】図5に示すように4チャンネル出力CCD 3 4からの出力信号に対して、奇数成分の左右の信号についてはアンプ1 3 1でまとめて処理し、偶数成分の左右の信号についてはアンプ1 3 2でまとめて処理するといった構成をとっている。これにより、アンプ1 3 1とアンプ1 3 2のチップ差にて生じるアンプ内部の回路特性の偏差が左右の信号に対して影響しないように配慮している。

【0095】しかし、それぞれ1つのチップとして考えた場合、アンプ(1 3 1、1 3 2)内部においては、アンプ(1 3 1、1 3 2)内部の回路構成上、サンプリング処理、信号増幅処理は2チャンネルの入力信号に対して並列処理つまり回路が2系統存在するため、左右の信号の伝達経路はアンプ(1 3 1、1 3 2)内部においては異なることになる。したがってチップ内部の2系統の回路間においては、特性の偏差が生じることが考えられる。

【0096】A/Dコンバータ1 3 3、1 3 4については、奇数成分、偶数成分それぞれ左右の信号の変換経路は同一となる構成とするよう配慮している。すなわち、奇数成分の左右の信号(アンプ1 3 1において1チャンネルに合成された状態)はA/Dコンバータ1 3 3によ

ってAD変換処理し、偶数成分の左右の信号（アンプ132において1チャンネルに合成された状態）はA/Dコンバータ134によってAD変換処理するといった構成にしているため、左右の信号に対する回路特性による偏差の影響はないと考える。

【0097】よって、図5で示した高速デジタル複写機のための4チャンネル出力CCD34、前処理システム130の構成において、システム構成的には組み合わせによってチップ間のばらつきによる影響がないよう配慮することはできる。

【0098】しかし、4チャンネル出力CCD34、アンプ131、132で説明したように、チップそのものの内部構造上の理由において生じる回路特性的な偏差による左右の画像データへの悪影響（画像濃度に対する画像データのリニアリティ的な偏差によって生じる左右の濃度差）についてはやはり外部においてなんらかの補正手段を設けなければ対応できないのが事実である。この手段こそが本発明である左右補正回路160であり、この回路としては高速スキャナ制御ASIC135の一路路として配置されることになる。

【0099】この左右補正回路160の処理の位置づけとしては、図7に示すように高速スキャナ制御ASIC135の内部において、シェーディング補正回路141、142、143、144のあとに位置し、かつ画像データ処理の流れとして画像処理ASIC84によるフィルタリング処理、レンジ補正処理、倍率変換（拡大、縮小）処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施されるまえに位置するものとする。

【0100】この位置づけの意味については後程説明するとして、これより左右補正回路160の構成について説明する。

【0101】左右補正回路160における左右補正は、メモリ180を使用したデータ変換テーブル方式によるものである。つまり、変換したいデータ（この場合画像データ）をメモリ180のアドレスに入力し、変換後のデータはメモリ180のデータ出力より、あらかじめメモリ180のそれぞれのアドレスに対してセットされたデータ（補正後のデータ）が代わりに出力されることで変換処理を行なうというものである。

【0102】したがって、高速スキャナ制御ASIC135内部において取り扱う画像データは、1画素8ビット、分解能256ステップ（00HからFFH）のデジタル信号なので、この画像データに対してデータ変換テーブル用に準備するメモリ180としては256ワード（word）*8ビットということになる。

【0103】左右補正回路160は、このような256ワード*8ビットの2ポートRAMであるメモリ180、チップイネーブル発生回路170、バスセレクト回路171、172、173、174、175、176、

181、182、183、184、185により構成され、CPU-IF回路177を介して制御される。このメモリ180は、高速スキャナ制御ASIC135内部でのデータ処理によるアクセスモード（データ補正処理）と基本部CPU（外部）311からのアクセスモード（変換テーブル用のデータセット）がモード設定信号（メモリアクセスモード設定信号：DAMにより設定）により切換えられようになっている。

【0104】さらに、左右補正実行選択（左右補正設定信号：LRADJにより設定）も設定できるようになっているため、画像データを左右補正しない状態で次段の処理に流すことも可能となっている（この場合の画像データの経路を破線①にて示す）。また、各種モードの設定については、図示しないモード設定用レジスタが高速スキャナ制御ASIC135内部に準備されており、これらのレジスタは全て基本部CPU（外部）311からの設定変更が可能となっている。

【0105】まず、メモリ180が高速スキャナ制御ASIC135内部でのデータ処理によるアクセスモード（データ補正処理が可能な状態）でかつ左右補正設定信号が補正する場合、メモリ180に高速スキャナ制御ASIC135内部の画像データバスが接続される。

【0106】つまり、前処理システム130においてデジタル化され、2チャンネルで高速スキャナ制御ASIC135に入力される画像データは、まずバス幅変換回路140によって最初に4チャンネル（奇数成分の左データ、奇数成分の右データ、偶数成分の左データ、偶数成分の右データ）に分解され、それぞれの画像データは、並列で4チャンネル同時にシェーディング補正回路141、142、143、144でシェーディング補正処理される。

【0107】このシェーディング補正後の4チャンネルそれぞれの画像データのうち、奇数成分の左右どちらか片チャンネル、例えば右データバス、偶数成分の左右どちらか片チャンネル、例えば右データバスの2チャンネルについて補正用のメモリ180に接続されるようなバスセレクト回路171～175、181～184になっている。すなわち、破線①で示すバスラインがディセーブル状態になり、太線実線で示すように、奇数成分の左右どちらか片チャンネル、例えば右データ（左右補正前の画像データ）はメモリ180のポートAのアドレス入力AAXに接続され、そのデータに対する変換後のデータ（左右補正後の画像データ）はポートAのデータ出力AOXより出力され、偶数成分の左右どちらか片チャンネル、例えば右データ（左右補正前の画像データ）は補正メモリのポートBのアドレス入力BAXに接続され、そのデータに対する変換後のデータ（左右補正後の画像データ）はポートBのデータ出力BOXより出力されることになる。

【0108】つまり、偶数成分、奇数成分のそれぞれ左

右どちらか片チャンネル、例えば右データ対してメモリ 180 によるデータ変換テーブルを用いたデータ操作ができるようになっている。また、これでわかるようにメモリ 180 によるデータ変換テーブルを用いたデータ操作は、4チャンネルの画像データのうち偶数成分、奇数成分のそれぞれの左右のどちらか片チャンネルについて行なうためのメモリとして2チャンネル分の入出力が必要であり、かつその2チャンネルの画像データは同一のデータ変換テーブルによって並列に処理（メモリアクセス）することを目的とするため、これらの条件を満たす 10 2ポートタイプのメモリを使用している。

【0109】この方式による左右のデータ補正の考え方の大きなポイントのひとつとしては、偶数成分、奇数成分のそれぞれ左右どちらか片チャンネル、例えば左データを基準として考え、それに対するもう一方のチャンネル、例えば左データを基準とした場合は右データを補正メモリによるデータ変換テーブルを用いてデータ操作する。つまり、左右どちらか片チャンネルだけをデータ操作することによりあわせ込んでいくことで、画像濃度に対する左右の画像データのリニアリティ的な偏差を矯正 20（補正）するということがある。

【0110】次に、この左右補正処理の配置位置の持つ意味について説明する。

【0111】前処理システム130によってデジタル化され、高速スキャナ制御ASIC135において内部処理を施される前の画像データは、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差、つまり照度ムラ、4チャンネル出力CCD34の受光素子毎の感度ばらつき、4チャンネル出力CCD34内部の受光素子S1～S7500、およびCCDアナログシフトレジスタ111～114で発生する暗電流の影響をそれぞれの画素毎に含んだ状態の画像データであり、かつこれに加えて今回の高速対応のための4チャンネル出力CCD34、前処理システム130の構成において生じる固有の偏差である画像濃度に対する左右の画像データ間に生じるリニアリティ的な偏差、つまり4チャンネル出力CCD34、前処理システム130における左右の信号伝達経路（処理経路）が異なることによって生じる回路特性の偏差の影響を含むものである。

【0112】また、この2つの偏差による影響は、画像データへの作用の仕方が異なる。つまり、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響が画像データの各画素毎に作用するのに対して画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響は信号伝達経路毎（処理経路毎）に作用する。

【0113】つまり、ある2つの信号伝達経路（処理経路）A、B（この場合左右）があって、これらの信号伝達経路間（処理経路間）に回路特性的な偏差が生じた場合、例えば信号伝達経路（処理経路）Aを基準として考 50

えれば、もう一方の信号伝達経路（処理経路）Bに回路特性による偏差が作用したことになり、このときこの偏差による影響は信号伝達経路（処理経路）Bにおいて伝達（処理）される画素信号全てに対してある一定量で均一に作用すると考えられる。

【0114】したがって、前処理システム130においてデジタル化された画像データの含むこれらの性格の異なる2つの偏差による影響（画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響と画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響）は、別々の補正手段により補正すべきものであると考える。

【0115】つまり、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響については、シェーディング補正機能により補正し、画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響を本発明である左右補正回路160により補正するという考え方である。

【0116】この考え方に基づき、高速スキャナ制御ASIC135内部における画像データに対する処理の構成（処理の流れ）として、図6に示すようにまずシェーディング補正回路141～144を配置することにより画像データに対してシェーディング補正を施し、そのシェーディング補正された状態の画像データに対して左右補正回路160を配置することにより左右補正を施す構成をとるものとし、かつこれら2つの補正処理は、画像処理ASIC84によるフィルタリング処理、レンジ補正処理、倍率変換（拡大、縮小）処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施されるまに行われるものである。

【0117】また、このような処理構成にすることにはもうひとつ大きな意味がある。つまりこの処理構成により本発明である左右補正回路160による方式が、補正機能として有効な働きを示すものになることである。

【0118】このような処理構成により、前処理システム130によってデジタル化され、高速スキャナ制御ASIC135において内部処理を施される前の画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響と画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響を含んだ画像データは、まずシェーディング補正処理により画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響が補正される。

【0119】つまり、画像データは、シェーディング補正処理された時点で各画素毎に作用する偏差の要因、つまり画素毎のばらつきが補正される。即ち、シェーディング補正により各画素毎にばらつきをもった画素信号により形成される4チャンネル出力CCD34からの画像信号を全ての画素に対して正規化（規格化）、つまり前処理システム130においてA/Dコンバータ133、

134によるAD変換後のデジタル化された画素信号（この場合1画素8ビットのデジタル信号である画素信号）は、全て1つの横軸を原稿に対する光の反射率（0%→100%：黒→白）、縦軸を信号値（この場合、画素信号は8ビットのデジタル信号なので00H→FFH：黒→白）とした規格テーブル上において直線的に表現される。

【0120】そもそも本発明である左右補正回路160を用いた方式は、メモリ180を使用したデータ変換テーブル方式、つまり入力されてくる画像データの信号値（この場合8ビットのデジタル信号なので00H→FFH）をあらかじめメモリ180にセットした値（補正值）に置き換えて出力するといった方式、つまり、信号値そのものに対してある値からある値に、この場合取り扱う信号が8ビットのデジタル信号なので00HからFFHの範囲で置き換えるような1つのデータ変換テーブルを用いて行なうものである。

【0121】したがってこの方式は、信号伝達経路毎（処理経路毎）に作用し、かつ補正処理を施す方の信号伝達経路（処理経路毎）により伝達（処理）される画像データを形成する画素信号全てに対してある一定量で均一に作用する画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響を補正することを目的とした方式であり、画素毎のばらつきを含んだものに対する画素毎の補正を目的としたものではないため、この方式を用いて補正処理を行なう場合、画像データの持つ各画素毎のばらつき、つまり画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響をあらかじめシェーディング補正によってキャンセルしておく必要があるわけである。

【0122】また、シェーディング補正された画像データは、結果として前記にて説明したように全ての画素信号について正規化（規格化）された状態であるため、本発明である左右補正の方式、つまり信号値そのものに対してある値からある値に、この場合取り扱う信号が8ビットのデジタル信号なので00HからFFHの範囲で置き換えるような1つのデータ変換テーブルを、補正を必要とする信号伝達経路（処理経路）において伝達（処理）される画像データを形成する全ての画素信号の信号値に対して、共通で使用することが可能になるわけである。

【0123】ここが、本発明である左右補正回路160のもうひとつの大きなポイントとなる。つまり、まずシェーディング補正によって各画素毎のばらつき、つまり画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響を補正した（つまり正規化（規格化）された）画像データに対して、本発明である左右補正の方式、つまり信号値そのものに対してある値からある値に（この場合取り扱う信号が8ビットのデジタル信号な

ので00HからFFHの範囲）置き換えるような1つのデータ変換テーブルを、補正を必要とする信号伝達経路（処理経路）において伝達（処理）される画像データを形成する全ての画素信号の信号値に対して、共通で使用するによって補正することが可能ということである。

【0124】また、これら処理は、4チャンネル出力CCD34、前処理システム130によって生じる2つの偏差の影響を補正するのが目的であるため、当然このあとの画像処理ASIC84によるフィルタリング処理、レンジ補正処理、倍率変換（拡大、縮小）処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理よりまえに施すべき処理であるということである。

【0125】次に、本発明である左右補正回路160におけるメモリ180への変換テーブル用データ（補正データ）のセット方法について説明する。

【0126】前記においてもふれたがメモリ180は、高速スキャナ制御ASIC135内部でのデータ処理によるアクセスモード（データ補正処理）と基本部CPU（外部）311からのアクセスモード（変換テーブル用のデータセット）とがモード設定信号（メモリアクセスモード設定信号：DAMにより設定）により切り換えられている。

【0127】したがって、メモリ180が基本部CPU（外部）311からのアクセスモード（基本部CPU311より変換テーブル用のデータのセットが可能な状態）の場合、図7に示すように、高速スキャナ制御ASIC135内部のCPU-IF回路177を介してメモリ180には基本部CPU（外部）311からのアドレス、データバスが接続される。つまり、破線②で示すラインがイネーブル状態となるので、このとき、基本部CPU（外部）311は左右の画像データ間に生じた偏差に基づいて生成した変換テーブル用の補正データをメモリ180にセット（ライト）する方法である。

【0128】また、基本部CPU（外部）311からメモリ180へのアクセスは、リード/ライト可能なのでメモリ180内のデータを参照することもできるようになっている。

【0129】次に、ラスト変換回路165について説明する。

【0130】このラスト変換回路165の機能も、高速デジタル複写機の読取りスキャナ用として高速対応ラインセンサ、つまり4チャンネル出力CCD34を使用することによって必要となる固有の機能である。ラスト変換回路165の目的は、画像データの配列操作による整列化、つまり並び換えである。

【0131】ここで、なぜ4チャンネル出力CCD34を使用すると、画像データの並び換えをしなくてはならないのかというところから図8、図9を用いて説明す

る。

【0 1 3 2】図 8 に、従来の 2 チャンネル出力 CCD を用いた場合のデータ配列の流れ、図 9 に、本発明の 4 チャンネル出力 CCD 3 4 を用いた場合のデータ配列の流れをそれぞれ示す。2 チャンネル出力 CCD の画素の配列は図 8、4 チャンネル出力 CCD の画素の配列は図 9 にそれぞれ配列 1 として示すように、ダミー画素と有効画素により構成される。

【0 1 3 3】これは、読取りの対象となる原稿の画像情報は、有効画素により有効画素信号として CCD より出力されるものであり、これらの有効画素は 6 0 0 d p i 対応の CCD としては 7 5 0 0 画素 (S 1 ~ S 7 5 0 0) 存在する。この有効画素は、配列 1 に示すように左側を S 1 として右側へ S 7 5 0 0 といった具合に順番に配列された状態になっており、この有効画素の配列については従来の 2 チャンネル出力 CCD も本発明の 4 チャンネル出力 CCD 3 4 も同様である。つまり、受光素子 (S 1 ~ S 7 5 0 0) の物理的な配列である。

【0 1 3 4】図 3 を用いて説明したように、高速デジタル複写機の場合における原稿画像の読み込みは、原稿面に直接光をあてて、その反射光をミラー 2 6、3 0、3 1、結像レンズ 3 2 を用いて 4 チャンネル出力 CCD 3 4 まで導き、4 チャンネル出力 CCD 3 4 によってこの光画像データつまり画像情報を光電変換することによってまずそれぞれの受光素子毎、つまり有効画素毎に電荷信号に置き換えられ、この信号が有効画素信号として 4 チャンネル出力 CCD 3 4 より出力される。また、この読取り光学系の構造としては、原稿の左右と 4 チャンネル出力 CCD 3 4 の左右が対応するような構造、つまり CCD によって読取られる方向、つまり、主走査方向における原稿の左右は配列 1 に示す 4 チャンネル出力 CCD 3 4 の有効画素の左右の配列と対応するようになっている。

【0 1 3 5】したがって画像処理 A S I C 8 4 によるフィルタリング処理、レンジ補正処理、倍率変換 (拡大、縮小) 処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理のアルゴリズムの根本的な概念として、画像処理 A S I C 8 4 に入力される画像データのデータ配列 (主走査方向に対する 1 ライン分の画素単位のデータ配列)、つまり主走査方向におけるライン毎の画像情報としての画像データは、4 チャンネル出力 CCD 3 4 の画素配列、つまり配列 1 に示す配列と同じ、またはそれと同等の整列化された状態の配列であることが前提となっている。

【0 1 3 6】つまり、画像処理 A S I C 8 4 による一連のデータ加工処理におけるそれぞれのデータ操作のアルゴリズムは配列 1 と同じ、またはそれと同等の整列化された状態のデータ配列で入力されてくる画像データに対して成立するものである。

【0 1 3 7】従来の方式、つまり 2 チャンネル出力 C C

D を使用した場合のシステムにおいては、図 8 に示すように CCD の画素配列とスキャナ制御 A S I C より画像処理 A S I C に出力される画像データの配列、つまり配列 1 と配列 3 はイコールとなっている。

【0 1 3 8】つまり、従来の 2 チャンネル出力 CCD を使用した場合のシステムにおいては、まず CCD より出力される信号は CCD における画素配列、つまり配列 1 に対して偶数成分、奇数成分にて 2 チャンネルに分割して配列 2 に示すように、出力端子 O S 1 として奇数画素による有効画素信号を左側の有効画素 S 1 をスタート方向をとして、以降、順番に S 3、S 5、…、S 7 4 9 5、S 7 4 9 7、S 7 4 9 9 (エンド方向としての最右側の有効画素) といった具合に出力し、出力端子 O S 2 として偶数画素による有効画素信号を左側の有効画素 S 2 をスタート方向をとして以降順番に S 4、S 6、…、S 7 4 9 6、S 7 4 9 8、S 7 5 0 0 (エンド方向としての最右側の有効画素) といった具合に出力され、この配列のまま 2 チャンネルでスキャナ制御 A S I C に入力される。

【0 1 3 9】入力された 2 チャンネルの画像データはまずスキャナ制御 A S I C 内部において 1 チャンネルに合成 (マルチプレクス) される。つまり、画像データは配列 3 に示す状態になり、この状態でスキャナ制御 A S I C 内部での処理、つまり配列 3 に示すようなデータ配列の画像データは、シェーディング補正処理が施され、ビット反転されたあと A I D T X としてそのまま画像処理 A S I C へと受け渡されるようになっているため、配列 1 から配列 3 までの間においてはデータ操作による整列化つまり並び換えのための処理をとくに必要としないことがわかる。

【0 1 4 0】これに対して図 9 に示す本発明の 4 チャンネル出力 CCD 3 4 を用いた高速対応システムの場合、まず 4 チャンネル出力 CCD 3 4 より出力される信号は、4 チャンネル出力 CCD 3 4 における画素配列、つまり配列 1 に対して偶数成分、奇数成分とここまでは 2 チャンネル出力 CCD と同じだが、これをさらに 4 チャンネル出力 CCD 3 4 の中央を境にしてそれぞれ左右に分割して配列 2 に示すように出力端子 O S 1 として奇数画素による有効画素信号を左側の有効画素 S 1 をスタート方向をとして、以降順番に S 3、S 5、…、S 3 7 4 5、S 3 7 4 7、S 3 7 4 9 (エンド方向としての中央の有効画素) といった具合に出力する。

【0 1 4 1】同様に、出力端子 O S 2 として偶数画素による有効画素信号を左側の有効画素 S 2 をスタート方向をとして、以降順番に S 4、S 6、…、S 3 7 4 6、S 3 7 4 8、S 3 7 5 0 (エンド方向としての中央の有効画素) といった具合に出力する。

【0 1 4 2】同様に、出力端子 O S 3 として奇数画素による有効画素信号を右側の有効画素 S 7 4 9 9 をスタート方向をとして、以降順番に S 7 4 9 7、S 7 4 9 5、

10

20

30

40

50

…、S3755、S3753、S3751（エンド方向としての中央の有効画素）といった具合に出力する。

【0143】同様に、出力端子OS4として偶数画素による有効画素信号を右側の有効画素S7500をスタート方向をとして、以降順番にS7498、S7496、…、S3756、S3754、S3752（エンド方向としての中央の有効画素）といった具合に出力する。

【0144】これら4チャンネルの信号は、前処理システム130においてアンプ131、132内部でそれぞれ奇数成分の左右、つまり出力端子OS1と出力端子OS3を1チャンネルに合成、偶数成分の左右、つまり出力端子OS2と出力端子OS4を1チャンネルに合成し、この状態で偶数成分、奇数成分として2チャンネルで高速スキャナASIC135に入力される。

【0145】入力された2チャンネルの画像データは、まず高速スキャナASIC135内部において図6に示すようにバス幅変換回路140の処理によって、再度画像データの配列が配列2と同じ状態の4チャンネルに分解される。

【0146】この状態で4チャンネルそれぞれに対して、高速スキャナASIC135内部での処理、つまり配列2に示すデータ配列の4チャンネルそれぞれの画像データに対して並列で同時にシェーディング補正回路141～144によるシェーディング補正処理、左右補正回路160による左右補正処理が施され、それぞれビット反転回路161～164によるビット反転した状態でこれら4チャンネルの画像データがラスタ変換回路165によって画像データの配列操作による整列化、つまり並び換え処理を行なうことによって配列3に示す状態にして、つまり配列2の状態を配列3の状態に変換してA

【0147】まずここで、画像処理ASIC84に受け渡す画像データが従来の1チャンネルに対して4チャンネル構成になっている理由だが、これは高速デジタル複写機の場合、当然、画像処理速度に対しても高速化が要求される。したがって4チャンネル出力CCD34からの1ライン分の画像データを1チャンネルで処理した場合、画素あたりのデータ転送レート、つまり処理速度が非常に高速になってしまうためハード的な処理に対する各種マージン不足が生じることになる。

【0148】したがってこれを解消するために1ライン分の画像データを4チャンネルに分解し、それぞれを同時に並列処理することで対応する方式をとっている。つまり、4チャンネルで並列処理することにより、画素あたりのデータ転送レートつまり処理速度を1/4にする。例えば、1チャンネルで80M処理の場合、1チャンネルあたり20M処理の4チャンネル並列処理で、取扱う情報量としては同じとなる。

【0149】したがって、4チャンネル出力CCD34を用いた高速対応システムの場合、配列3としてのデータ出力構成が4チャンネルとなるため、従来の2チャンネル出力CCDを用いたシステムのように配列1と配列3とのデータ配列の関係を全くのイコールにできなくなる。

【0150】また、配列2の状態での内部処理を施された画像データをそのまま画像処理ASIC84に受け渡さず、本発明であるラスタ変換回路165によって、配列3の状態に変換してから受け渡す理由としては前記でも説明したように画像処理ASIC84による一連のデータ加工処理におけるそれぞれのデータ操作のアルゴリズムは配列1と同じ、またはそれと同等の整列化された状態のデータ配列で入力されてくる画像データに対して成立するという条件に基づいている。

【0151】つまり、配列2は、画像処理ASIC84による一連のデータ加工処理に対して不適切なデータ配列ということであり、配列3を配列1と同等の整列化された状態のデータ配列と定義するというのである。したがって、4チャンネル出力CCD34を用いた高速対応システムの場合、配列1に対して配列2を配列3に並び換えることを本発明であるラスタ変換回路165におけるデータ操作による整列化つまり並び換え処理の定義とし、あらかじめ高速スキャナ制御ASIC135と画像処理ASIC84間のインターフェース仕様として取り決めるものとする。

【0152】次に、ラスタ変換回路165の構成、動作について説明する。

【0153】図10は、ラスタ変換回路165の構成を示すものである。ラスタ変換回路165は、ラインメモリ(LMA)90、ラインメモリ(LMB)91、およびメモリ制御回路92から構成されている。ラインメモリ90とラインメモリ91は、メモリA～Hで構成されている。また、ラスタ変換回路165には、基本部CPU(外部)311からメモリアクセスを可能とするCPU-IF回路166が接続されている。

【0154】本発明におけるラスタ変換は専用に準備したメモリを使用して、そのメモリ制御によってデータ配列を操作、つまり並び換えを行なうものである。ハード構成としては図10に示すように、メモリは1024ワード(word)*8ビット(bit)のRAM8個を組み合わせてひとつのラインメモリとして構成し、それを2ライン分準備(LMA90、LMB91)したものと、そのメモリ制御回路92により構成される。メモリ制御回路92は、構成としてアドレス発生回路(アップ、ダウン)92a、バスセレクト回路92b、チップイネーブル発生回路92cからなる。

【0155】また、メモリ容量を1ライン分8192ワードとしているのは、本発明であるラスタ変換機能が、画像データをライン単位で処理、つまり1ライン分の画

像データを全て一度メモリにたくわえ（メモリへのデータライト処理）、そのデータをメモリから出力（メモリからのデータリード処理）する際にデータ配列を並び換えるといった方式であるためであり、またこれを2ライン分準備（LMA90、LMB91）しているのは、これらを交互にアクセスすることによって画像データをライン単位で連続的に処理、つまりライン単位でのメモリへのデータライト処理とメモリからのデータリード処理を、同時にかつ非同期的に可能にするためである。例えば、LMB90に対してデータライト処理をしている時は、同時かつ非同期的にLMA91に対してデータリード処理をするということである。

【0156】次に、実際の並び換えの動作について説明する。

【0157】高速スキャナ制御ASIC135内部において、4チャンネルのそれぞれの画像データ（DOA1X、DOA2X、DOB1X、DOB2X）はシェーディング補正処理、左右補正処理を施され、ビット反転された状態で本発明であるラスタ変換回路165に伝達される。

【0158】この際のデータ配列は、図9に示す配列2の状態である。まずこれらのデータはラインメモリ90、91にたくわえられるわけであるが、このときのデータライト処理におけるメモリアクセス動作について図11を用いて説明する。

【0159】本実施例において取り扱う1ライン分の画像データを形成する画素データ数は、7504画素（CCDの有効画素数：7500画素+ダミー画素：4画素）とする。前記でもふれたが、このラインメモリ90、91は、1024ワード*8ビットのRAMを8個、つまりメモリA、B、C、D、E、F、G、Hを組み合わせることによって構成している。したがって8個それぞれが独立した入出力ポートを持つ、つまり8個それぞれが独立したアクセスが可能である。

【0160】これら8個のメモリを図11に示すように4個づつグルーピング、つまりメモリA、B、C、Dをグループ1、メモリE、F、G、Hをグループ2として考える。まず、バスセレクト回路92bを用いて、4チャンネルそれぞれの画像データバスは、グループ1のそれぞれのメモリ（A、B、C、D）のデータ入力ポートに接続され、4チャンネルそれぞれの画像データの先頭画素データ（4個のダミーデータ）がグループ1のそれぞれのメモリ（A、B、C、D）のアドレス000H番地に同時にライトされる。つぎに4チャンネルそれぞれの画像データバスは、グループ2のそれぞれのメモリ

（E、F、G、H）のデータ入力ポートに接続され、4チャンネルそれぞれの画像データのつぎの画素データつまりS1、S2、S7499、S7500がグループ2のそれぞれのメモリ（E、F、G、H）のアドレス000H番地に同時にライトされる。

【0161】このようにして4チャンネルの画像データバスをグループ1のメモリ（A、B、C、D）のデータ入力ポートとグループ2のメモリ（E、F、G、H）のデータ入力ポートとで画素データ毎に交互に接続を切換え、かつグループ1とグループ2のアドレス発生回路92aによってメモリアドレスをカウントアップさせながら順番にメモリ（A～H）に画素データをライトしていき、この動作を画像データの最終画素データがグループ2のそれぞれのメモリ（E～H）にライトされるまで繰り返す。

【0162】この様子をタイミングチャートで示したものが図12である。この図12で示すように、この処理はクロック同期によって4チャンネルそれぞれの画像データを形成するそれぞれの画素データがグループ1のメモリ（A、B、C、D）とグループ2のメモリ（E、F、G、H）に交互にライトされるものである。白で示す画素データがグループ1にライトされるデータ、斜線で示す画素データがグループ2にライトされるデータである。また、このタイミングチャートをみてもわかるように、2つにグルーピングしたメモリ（A、B、C、DとE、F、G、H）を交互にアクセスすることによって、ひとつのグループのメモリとして見た場合、メモリアクセススピードつまりライトサイクルは、画像データの転送レートの1/2となっている。

【0163】つまり、メモリに対するハード的なタイミングマージンが有利な方向に作用しているということである。またメモリに対するライト開始タイミングのトリガはHDEN（主走査方向画像有効信号）によりとるものとする。

【0164】この処理が1ライン分の画像データに対して終了したときの8個のそれぞれのメモリA、B、C、D、E、F、G、H内の画素データの配列状態を図11に示す。これをみてわかるように1ライン分の画像データを形成する画素データ数7504画素に対して、8個のそれぞれのメモリA、B、C、D、E、F、G、Hには偶数成分の左の画素データ、偶数成分の右の画素データ、奇数成分の左の画素データ、奇数成分の右の画素データがそれぞれ別々に4画素おきに均等数つまりメモリ1個あたりにつき、メモリアドレス000H番地から3A9H番地の空間に938画素分のデータがたくわえられることになる。

【0165】つぎにこのラインメモリ（90、91）にたくわえられた1ライン分の画像データをメモリより出力する際に、4チャンネルの出力画像データ（AIDTAX、AIDTBX、AIDTCX、AIDTDX）の配列として整列化した状態、つまり図9に示す配列3になるようにメモリの読み出し制御を行なうわけであるが、このときのデータリード処理におけるメモリアクセス動作について図13を用いて説明する。

【0166】データリード処理においてもデータライト

処理同様、8個のメモリを4個ずつグルーピングするわけだが、その組み合わせはデータライト処理の時とは異なる。つまり、図13に示すように、メモリA、B、E、Fをグループ1、メモリG、H、C、Dをグループ2として考える。まず、4チャンネルの出力画像データバスは、グループ1のそれぞれのメモリ(A、B、E、F)のデータ出力ポートに接続され、4チャンネルそれぞれの出力用画像データの先頭画素データとしてグループ1のそれぞれのメモリ(A、B、E、F)のアドレス000H番地のデータである2個のダミーデータとS1、S2が同時にリードされる。以降グループ1のメモリA、B、E、Fに対してグループ1のアドレス発生回路92aによってメモリアドレスをカウントアップさせながら順番にメモリA、B、E、F内のデータをリードしていき、グループ1のそれぞれのメモリ(A、B、E、F)内にたくわえられた全てのデータのリードが終了したら、つまりメモリアドレス3A9H番地のデータS3747、S3748、S3749、S3750までリードが終了したら、今度は4チャンネルの出力画像データバスをグループ2のそれぞれのメモリ(G、H、C、D)のデータ出力ポートに接続を切替える。

【0167】グループ1のそれぞれのメモリ(A、B、E、F)から最後にリードしたデータ、つまりメモリアドレス3A9H番地のS3747、S3748、S3749、S3750につづけてグループ2を構成するそれぞれのメモリ(G、H、C、D)に、データライト処理によって最後にライトされたデータ、つまりメモリアドレス3A9H番地のデータS3751、S3752、S3753、S3754よりリードしていく。以降グループ2のメモリG、H、C、Dについてはグループ2のアドレス発生回路92aによって、3A9H番地をスタートアドレスとしてメモリアドレスをカウントダウンさせながら順番にメモリG、H、C、D内のデータをリードしていき、グループ2のそれぞれのメモリ(G、H、C、D)内にたくわえられた全てのデータの最後にリードされるデータつまりメモリアドレス000H番地のデータS7499、S7500と2個のダミーデータまでリード処理をつづける。

【0168】この様子をタイミングチャートで示したものが図14である。この図14に示すように、この処理はクロック同期によって4チャンネルそれぞれの出力画像データを形成するそれぞれの画素データグループ1のメモリA、B、E、F内のデータをすべてリードしたのち、グループ2のメモリG、H、C、D内のデータを全てリードするものである。またメモリに対するリード開始のタイミングのトリガはRDSTA(読み出し開始信号)によるものとする。このようにして1ライン分の画像データはラスタ変換回路165によって、専用のラインメモリ(LMA90、LMB91)に対してデータライト処理→データリード処理を行なうことによって画素

データの配列が操作され、図9に示す配列2を配列3の状態に並び換えられることになる。

【0169】また、このラインメモリ(LMA90、LMB91)を2本準備することで、上記処理をラインメモリ(LMA90、LMB91)間にて交互に行なうことで、画像データをライン単位で連続的に処理することが可能になる。

【0170】このようにして、4チャンネル出力CCD34により出力された画像信号は、画像処理による一連のデータ加工処理を行なうのに適切なデータ配列に変換された、つまり整列化された画像データとして高速スキャナ用ASIC135より画像処理ASIC84へと受け渡される。

【0171】以上説明したように上記発明の実施の形態によれば、4チャンネル出力CCDを用いた前処理システムを構築した場合に生じる、そのシステム構成、CCD、アンプのチップ内部構造上の理由によって生じる信号の伝達経路(処理経路)の違い、つまり回路特性的な偏差による画像データへの影響、つまり画像濃度に対する画像データへのリニアリティ的な偏差の補正をすることができる。

【0172】また、CCDの信号出力構成、つまり4チャンネル出力CCDは信号出力としてCCDの1ライン分の画素信号の並び順として見た場合にこれら4出力は偶数成分と奇数成分それぞれについて、左側の出力は左端の画素信号から順番に最後は中央の画素信号、右側の出力は右端の画素信号から順番に最後は中央の画素信号といった具合に出力されるため、信号の配列が整列化されてない状態、つまり画像処理上で不適切な配列となることを解消する、つまり画像処理による一連のデータ加工処理を行うのに適切なデータ配列に変換された、つまり整列化された画像データとなるわけである。

【0173】また、高速処理のために4分割処理を行った場合でも、データの整列性を保つことができるものである。

【0174】

【発明の効果】以上詳述したようにこの発明によれば、4チャンネル出力CCDを用いた際の画像濃度に対する画像データの偏差補正と、画像データの信号配列を整列化することのできる光電変換装置、光電変換方法、画像情報処理装置、画像情報処理方法、および画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の画像形成装置に係るデジタル複写機の内部構造を示す断面図。

【図2】デジタル複写機の制御システムを示すブロック図。

【図3】図1で示したデジタル複写機の概略構成を示す図。

【図4】4チャンネル出力CCDの構成を示す図。

【図 5】前処理システムと高速スキャナ制御 A S I C の構成を示す図。

【図 6】高速スキャナ制御 A S I C の構成を示すブロック図。

【図 7】左右補正回路の構成を示す図。

【図 8】従来の 2 チャンネル出力 C C D を用いた場合のデータ配列の流れを示す図。

【図 9】本発明の 4 チャンネル出力 C C D を用いた場合のデータ配列の流れを示す図。

【図 10】ラスタ変換回路の構成を示す図。

【図 11】データライト処理におけるメモリアクセス動作を説明するための図。

【図 12】データライト処理におけるメモリアクセス動作を説明するためのタイミングチャート。

【図 13】データリード処理におけるメモリアクセス動作を説明するための図。

【図 14】データリード処理におけるメモリアクセス動作を説明するためのタイミングチャート。

【図 15】従来の 2 チャンネル出力 C C D を示す図。

【図 16】従来の前処理システムとスキャナ制御用 A S I C を説明するための図。

【符号の説明】

4 … スキャナ部

5 … 画像処理部

6 … プリンタ部

3 4 … 4 チャンネル出力 C C D

8 4 … 画像処理 A S I C

9 0、9 1 … ラインメモリ

10 9 2 … メモリ制御回路

1 3 0 … 前処理システム

1 3 5 … 高速スキャナ制御 A S I C

1 4 1、1 4 2、1 4 3、1 4 4 … シェーディング補正回路

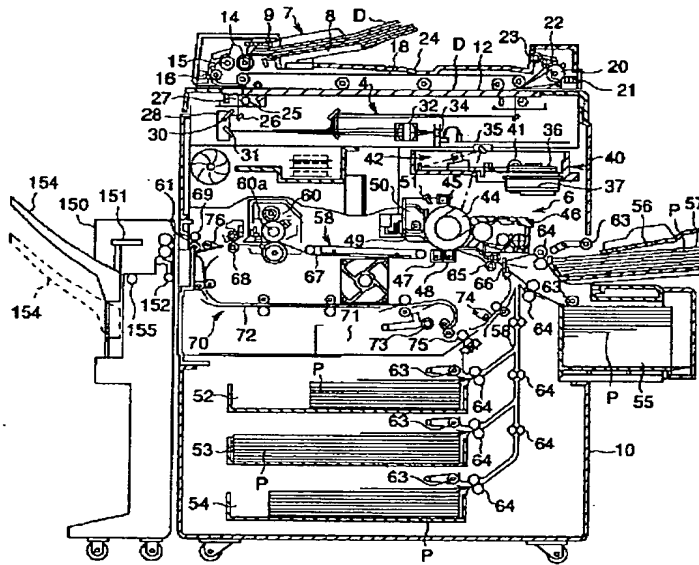
1 6 0 … 左右補正回路

1 6 1、1 6 2、1 6 3、1 6 4 … ビット反転回路

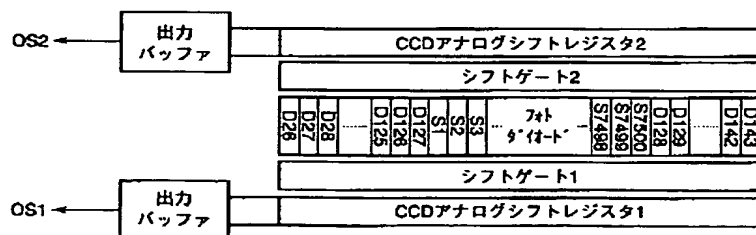
1 6 5 … ラスタ変換回路

1 8 0 … メモリ

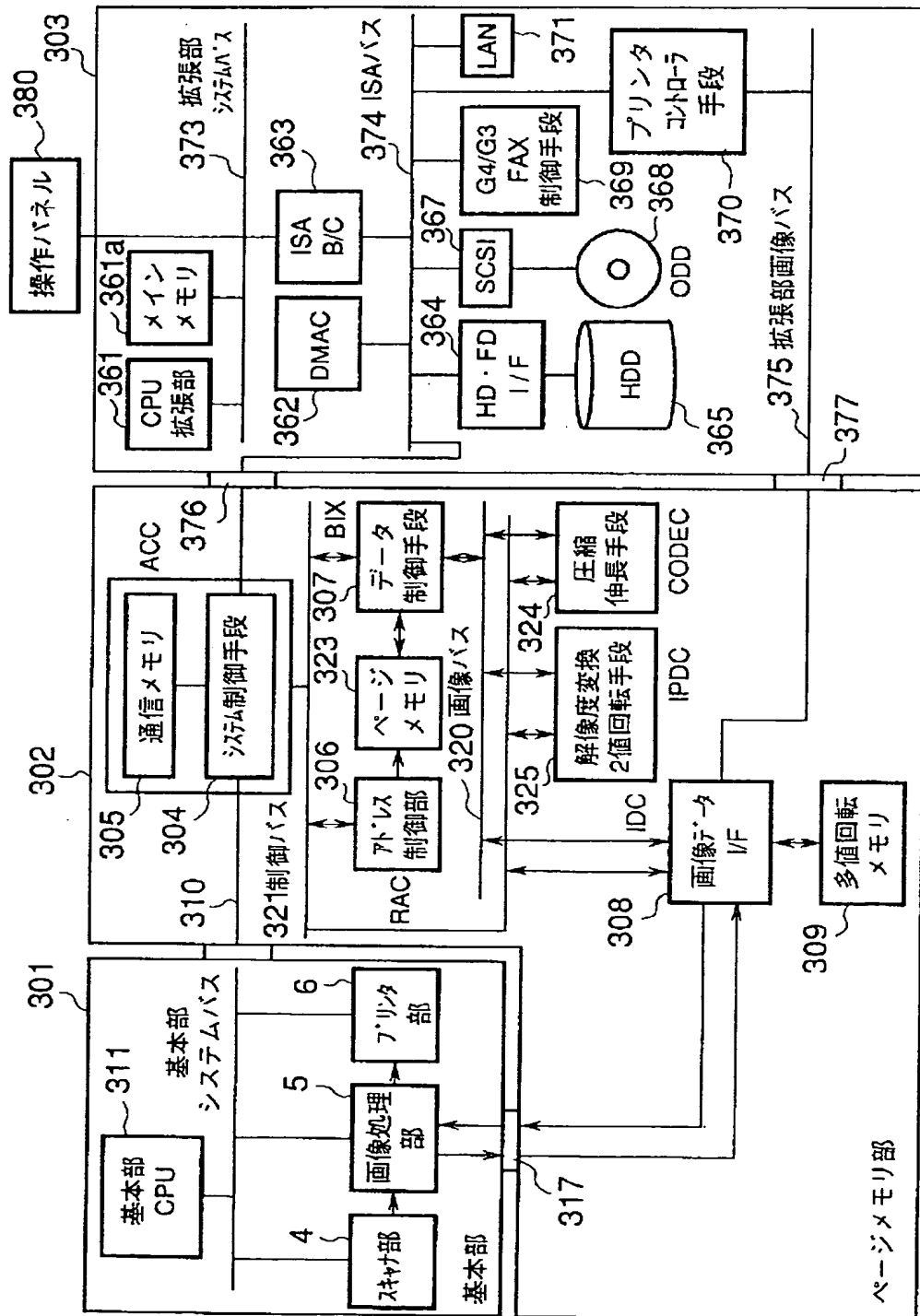
【図 1】



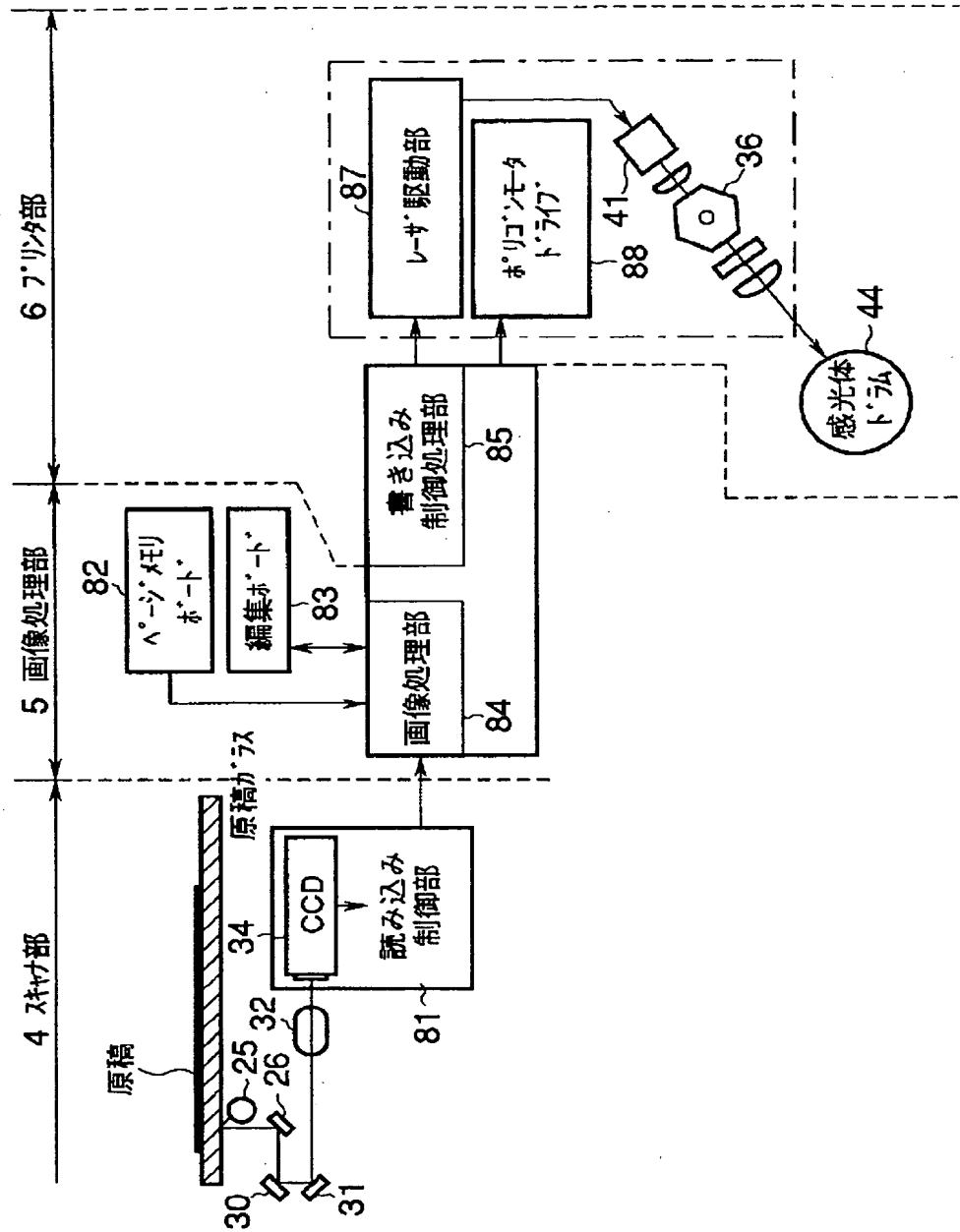
【図 15】



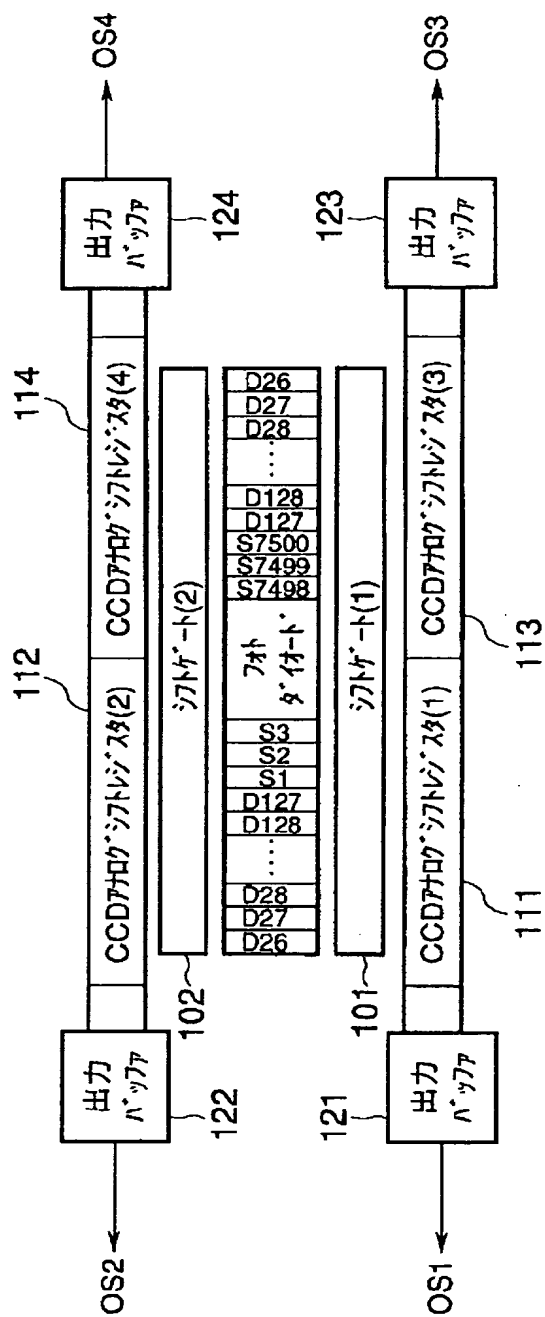
【図 2】



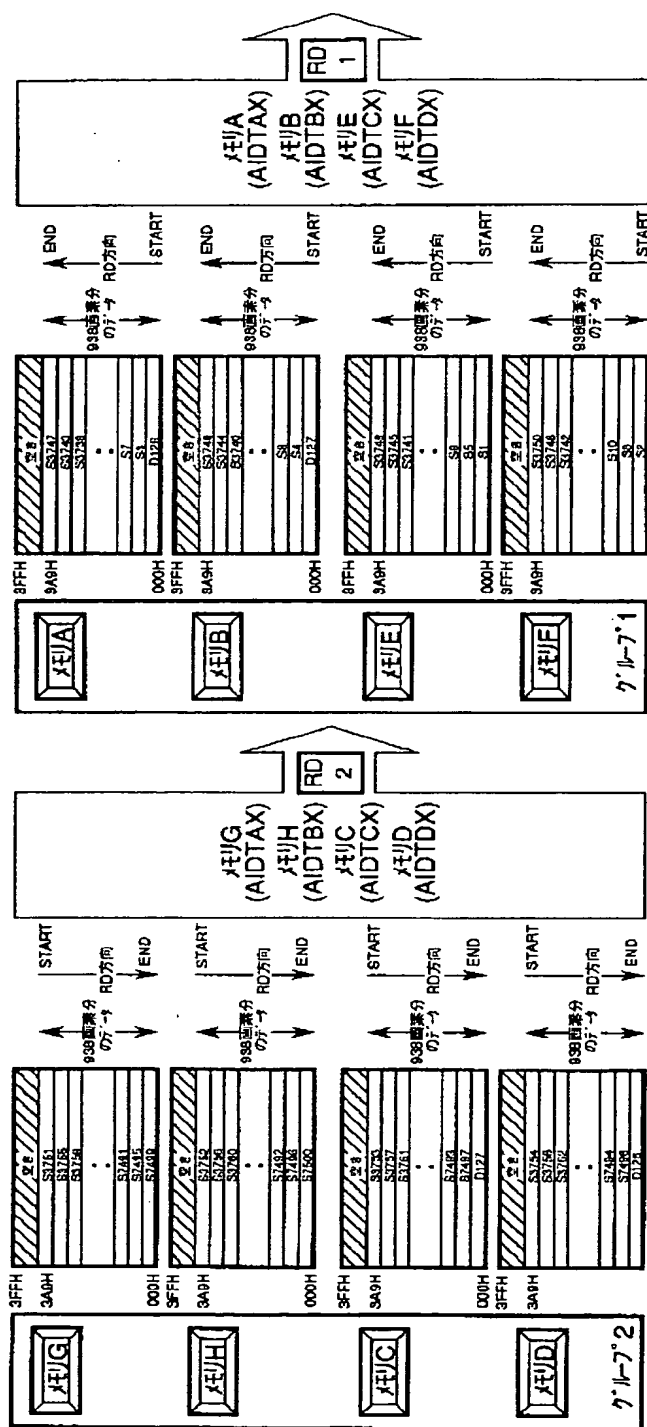
【図 3】



【図 4】



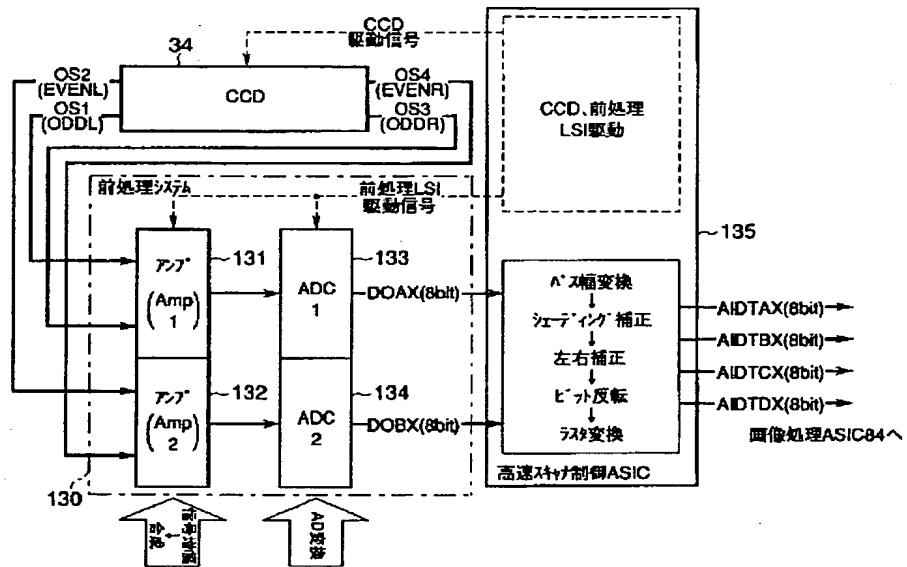
【图 13】



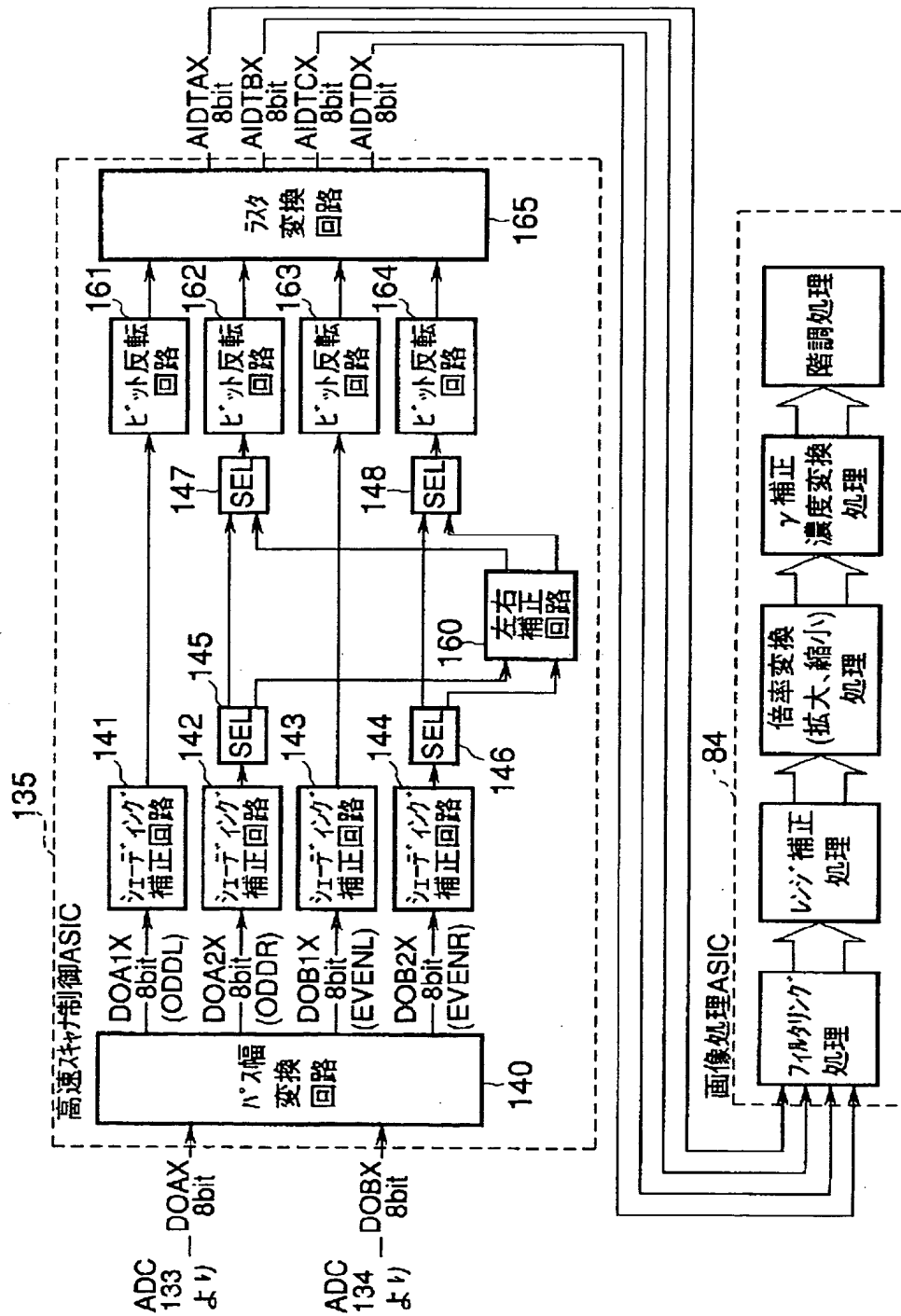
(d)

(a)

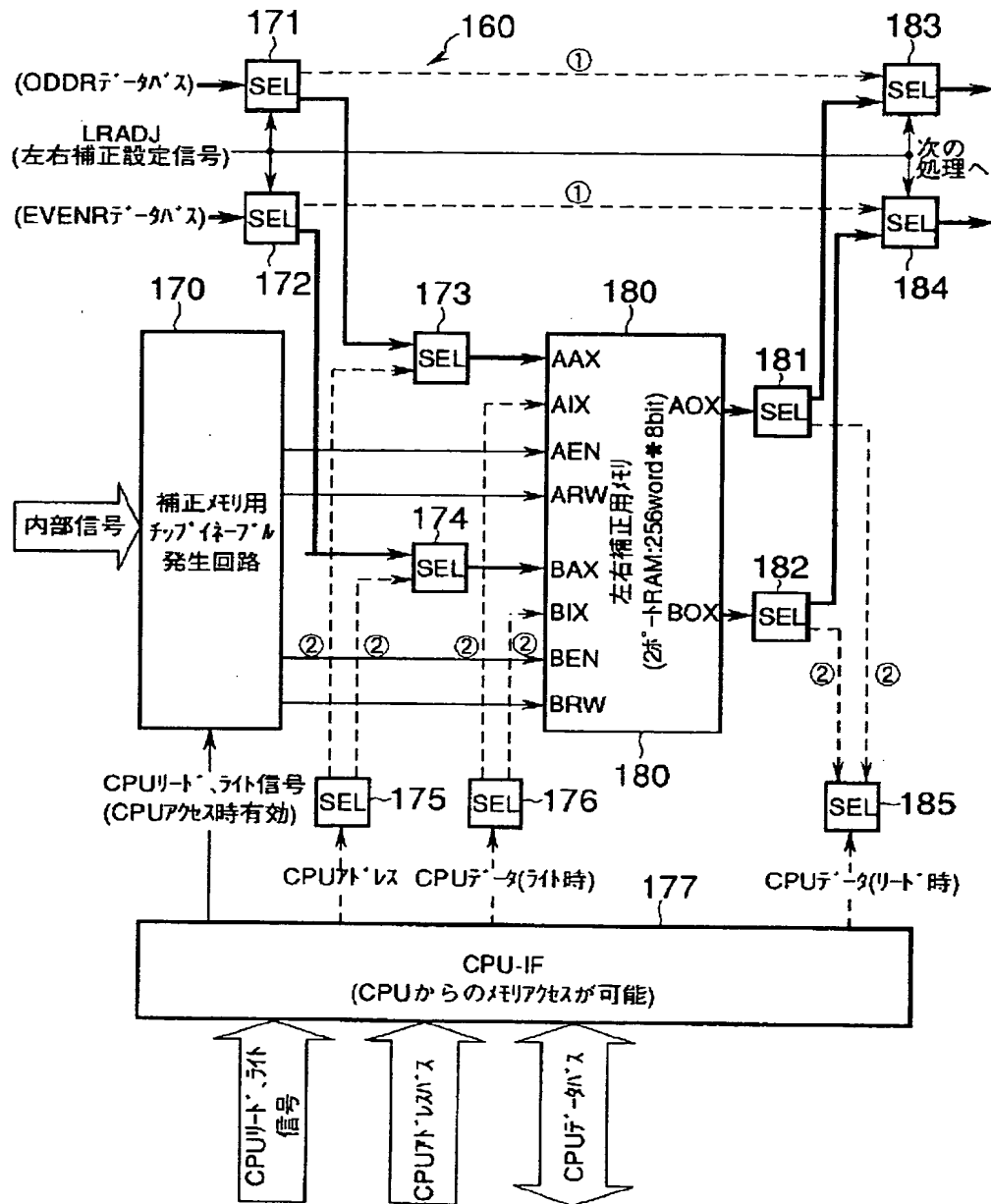
【図 5】



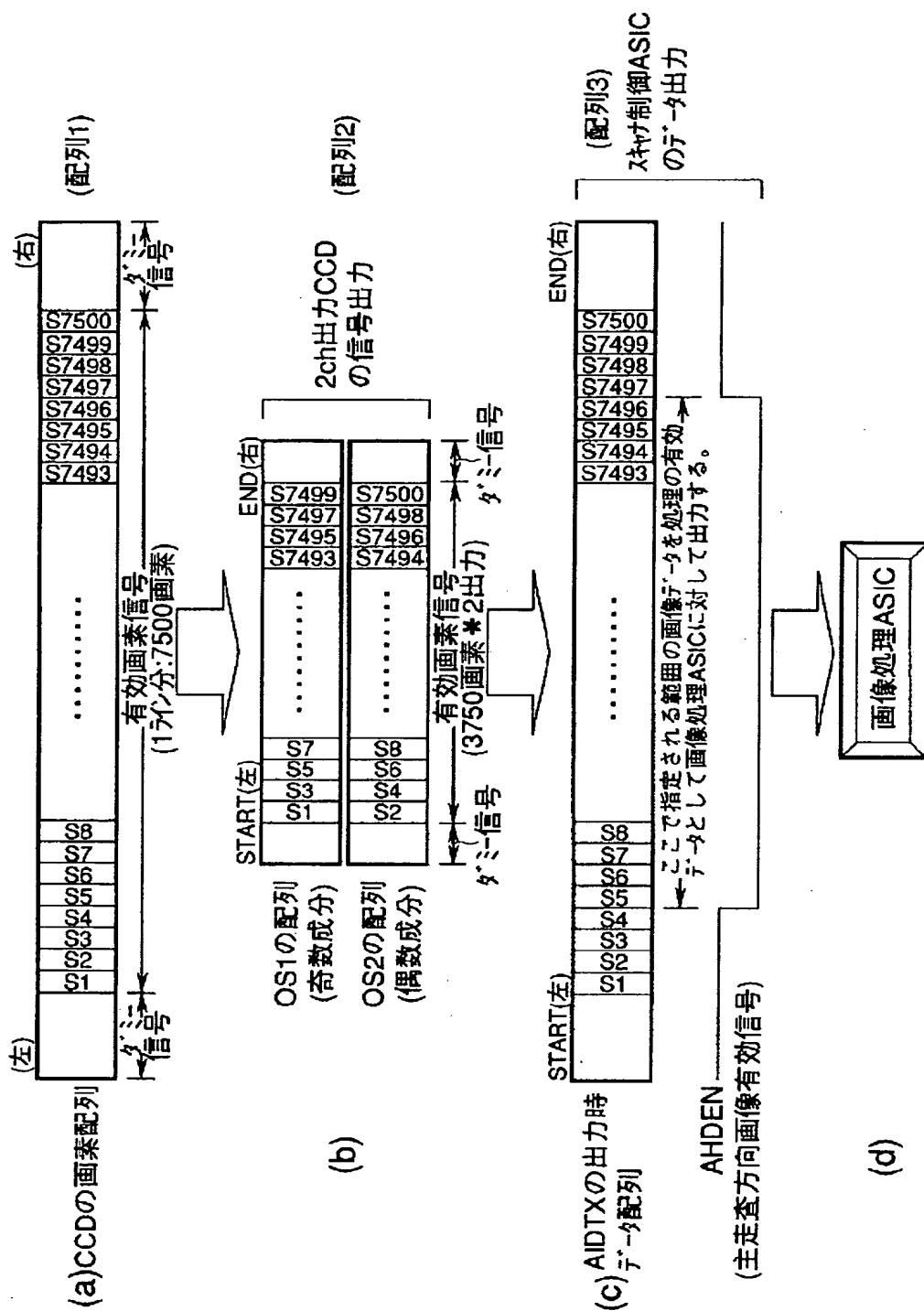
【図6】



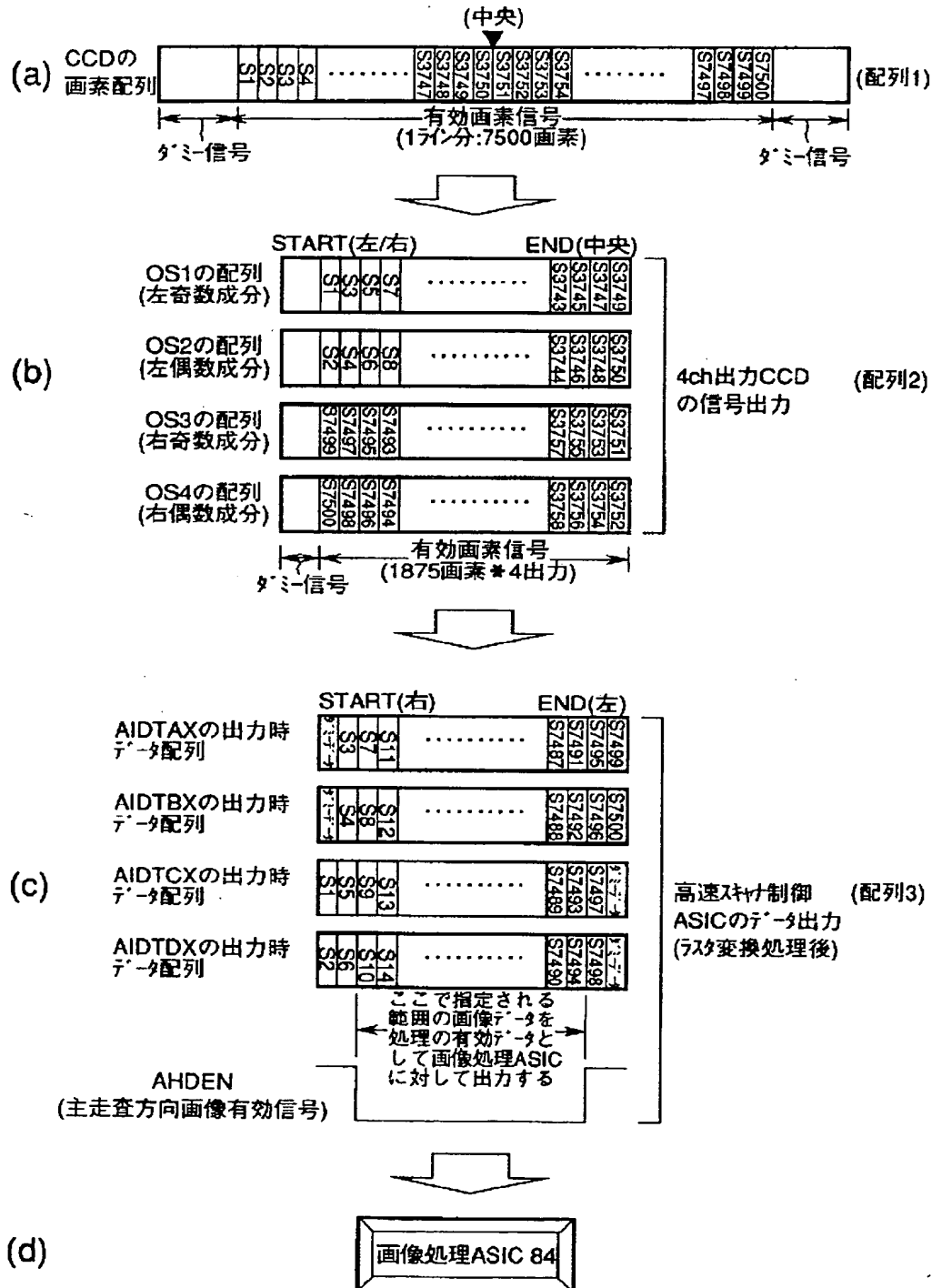
【図7】



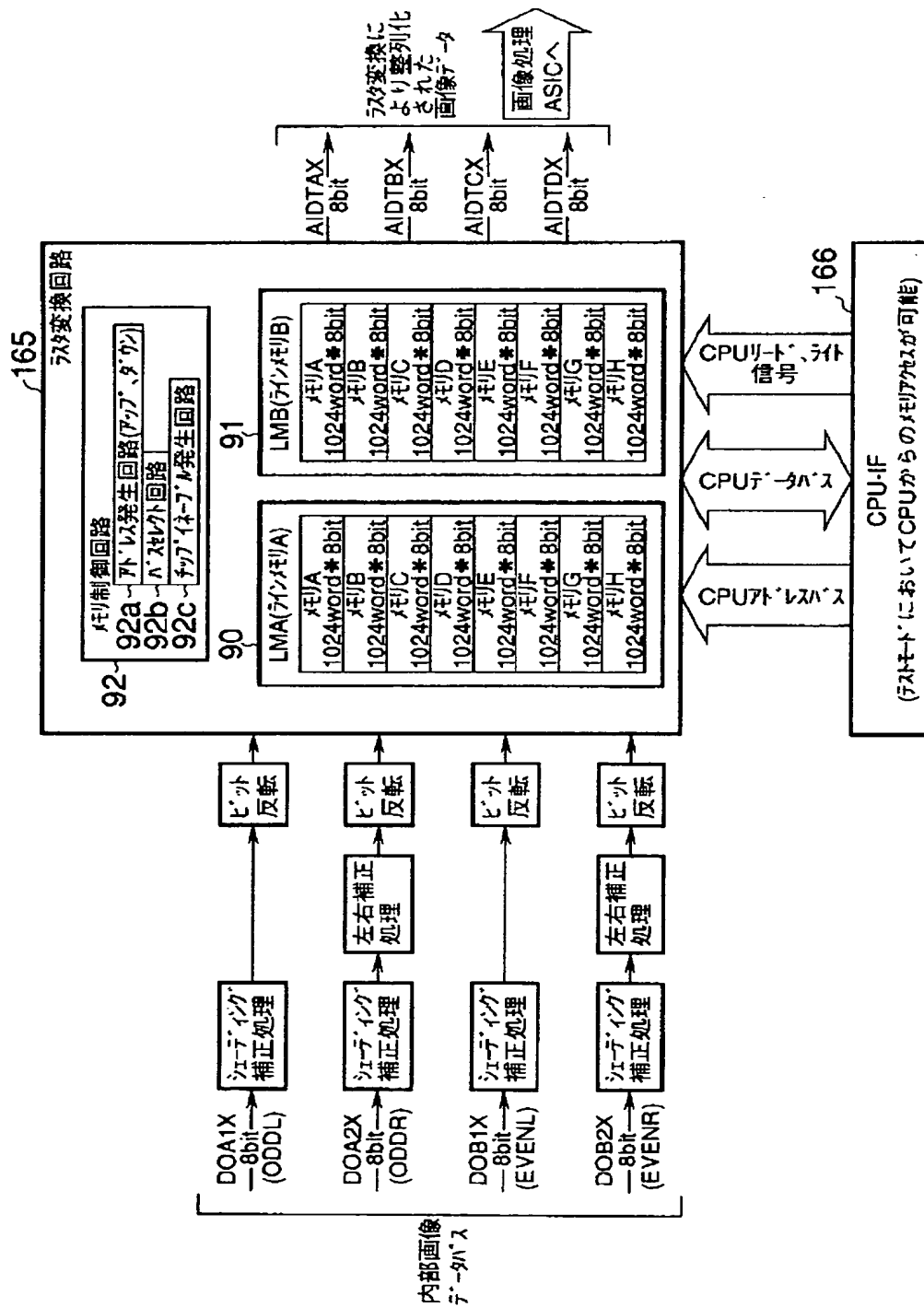
【図 8】



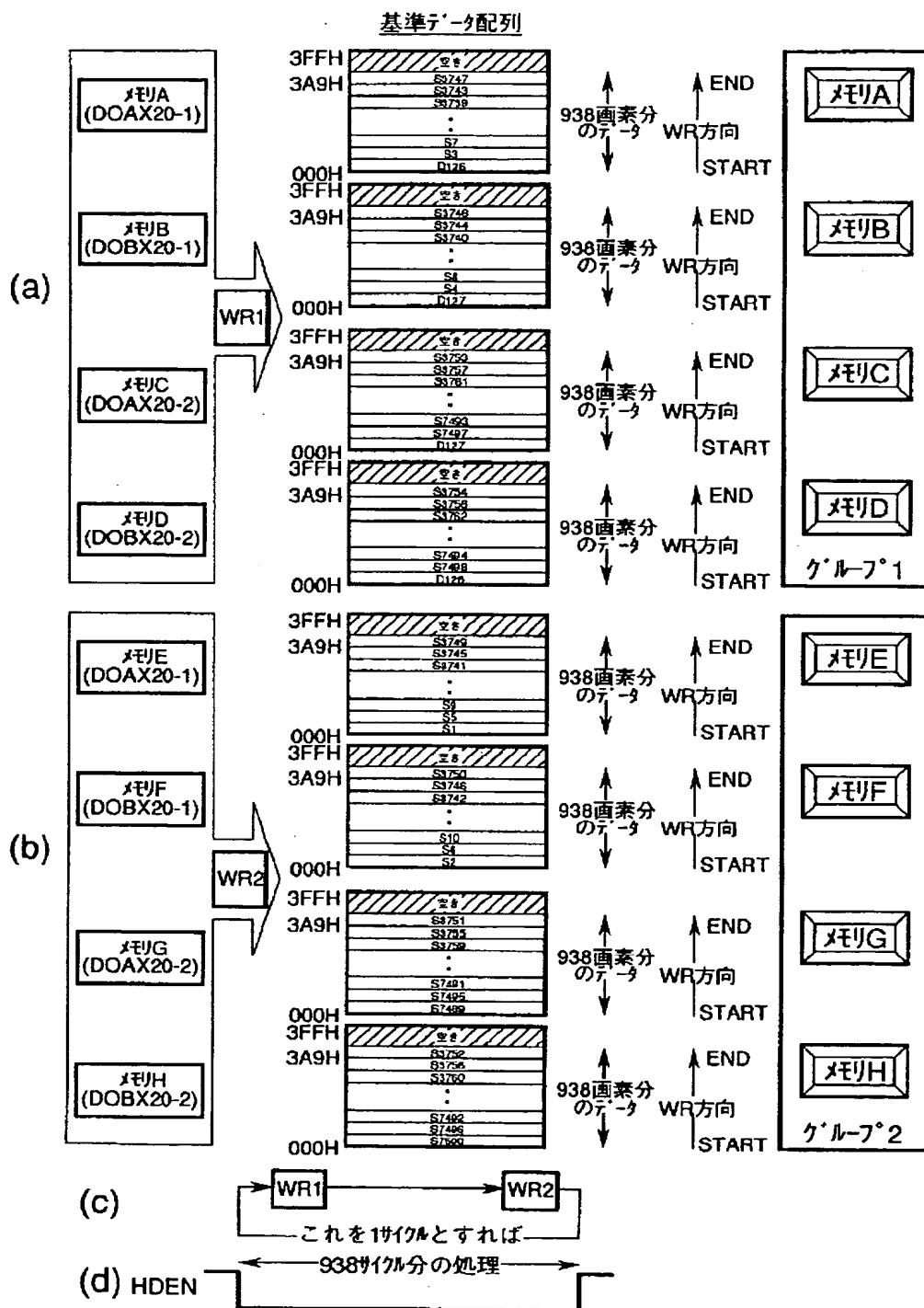
【図9】



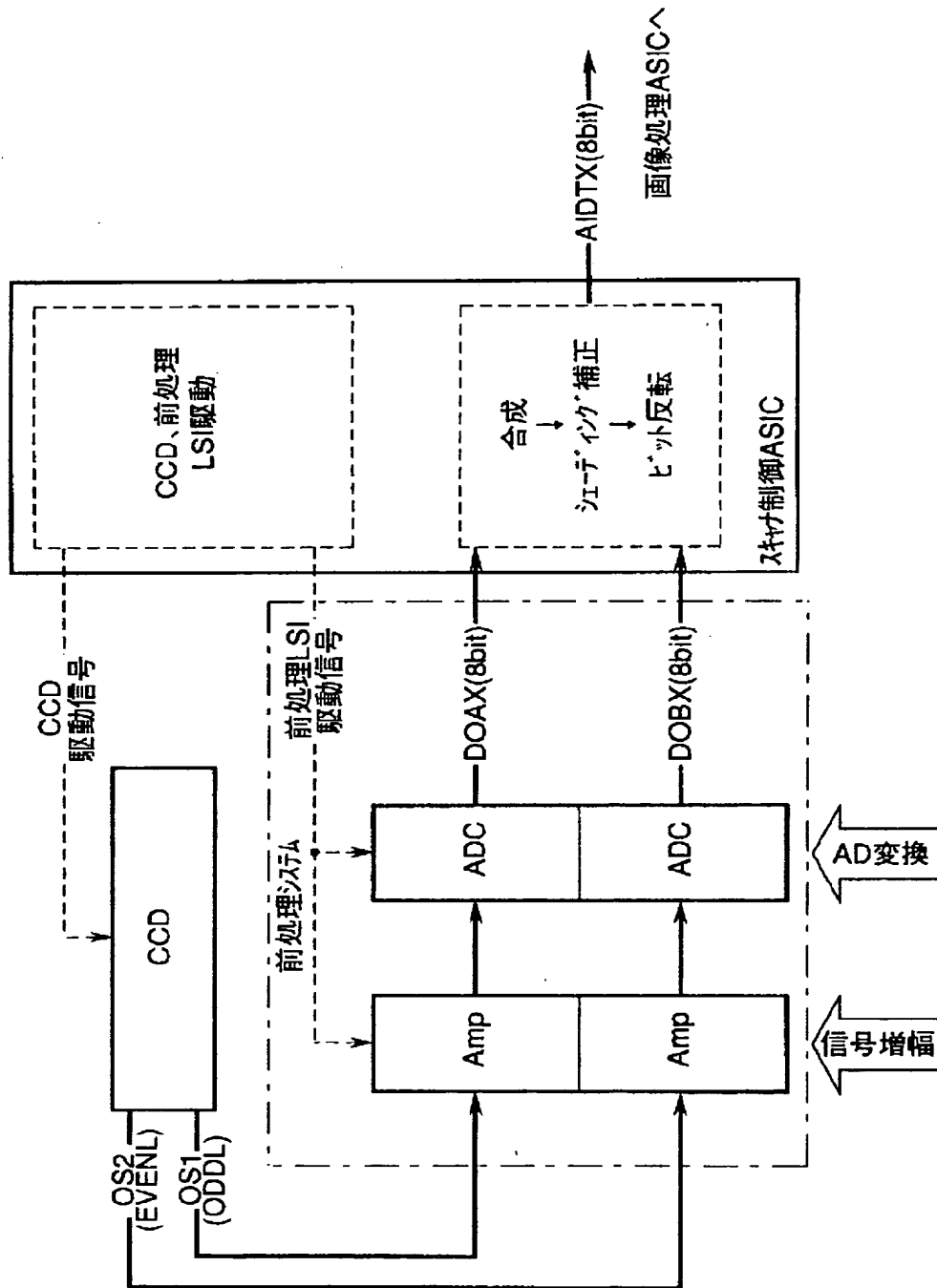
【図 10】



【図 11】



【図 1 6】



THIS PAGE BLANK (USPTO)